

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 42 14 612 A 1**

⑳ Aktenzeichen: P 42 14 612.7  
㉑ Anmeldetag: 2. 5. 92  
㉒ Offenlegungstag: 4. 11. 93

㉓ Int. Cl.<sup>5</sup>:  
**H 03 K 23/40**  
H 03 K 21/40  
H 03 K 23/54  
H 04 N 5/00  
H 03 L 7/18  
H 03 L 7/23

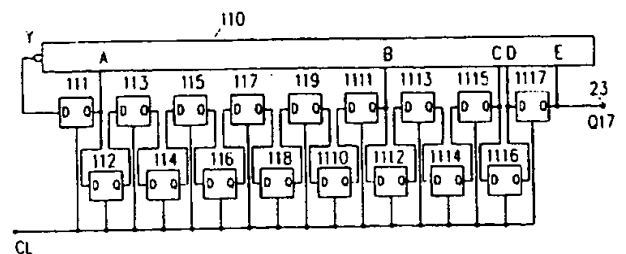
DE 42 14 612 A 1

㉔ Anmelder:  
Philips Patentverwaltung GmbH, 20097 Hamburg, DE

㉕ Erfinder:  
Suwald, Thomas, 2000 Hamburg, DE

㉖ Frequenzteilerschaltung

㉗ Beschrieben wird eine Frequenzteilerschaltung mit einer Gesamtanzahl bezüglich ihrer Datenein- und -ausgänge in Kettenschaltung angeordneter Flipflops sowie einer Logikschaltung zur Beeinflussung eines einem ersten in der Kettenschaltung der Flipflops zugeführten Eingangssignals in Abhängigkeit von Ausgangssignalen der Flipflops, wobei die Flipflops gemeinsam getaktet werden. Eine sichere Betriebsweise und ein sehr niedriger Schaltungsaufwand werden dabei dadurch erreicht, daß der Logikschaltung Ausgangssignale einer aus der Gesamtanzahl der Flipflops ausgewählten Anzahl von Flipflops, die größer oder gleich dem um 1 erhöhten, auf eine ganze Zahl abgerundeten dualen Logarithmus der um 1 verminderten Gesamtanzahl ist, zugeführt und in der Logikschaltung zu einem Eingangssignal für das erste Flipflop der Kettenschaltung entweder nach Maßgabe einer Nicht-Oder-Funktion oder gemäß einer Äquivalenzfunktion, deren Resultat über eine Antivalenzfunktion mit dem Ausgangssignal eines der Flipflops kombiniert ist, verknüpft werden.



DE 42 14 612 A 1

## Beschreibung

Die Erfindung bezieht sich auf eine Frequenzteilerschaltung mit einer Gesamtanzahl bezüglich ihrer Daten-  
ein- und -ausgänge in Kettenschaltung angeordneter Flipflops sowie einer Logikschaltung zur Beeinflussung  
eines einem ersten in der Kettenschaltung der Flipflops zugeführten Eingangssignals in Abhängigkeit von  
Ausgangssignalen der Flipflops.

Aus der DE-OS 23 15 208, Fig. 6 mit zugehöriger Beschreibung, ist ein Ringzähler bekannt, der vier D-Flipflops umfaßt, die derart miteinander verbunden sind, daß sie ein Schieberegister bilden. Das Register wird durch Impulse taktgesteuert, wobei ein einziges Bit im Register zirkuliert. Bei dieser Schaltungsanordnung sind außerdem Maßnahmen getroffen, um das Register zu starten, indem eine einzige Binärzahl eingeführt wird, und um zu verhindern, daß es in falschen Arbeitsweisen arbeitet. Zu diesem Zweck werden die Q-Ausgänge der Flipflops an einen Decoder angelegt, der einen Zustand des Ringzählers ermittelt, in welchem sämtliche Q-Ausgänge auf niedrigem Potential sind. Auf diesen Zustand spricht der Decoder an und legt eine Ziffer an das erste Flipflop über ein logisches Gatter an. Der Decoder ermittelt weiterhin einen Zustand, in welchem mehr als einer der Q-Ausgänge auf hohem Potential ist, und stellt dann sämtliche Flipflops zurück. Der Decoder gibt ein niedriges Potential ab, wenn sämtliche Q-Ausgänge der Flipflops niedrige Ausgangspotentiale aufweisen.

Ein derartiger Ringzähler wird somit durch die beschriebene, im Stand der Technik als Decoder bezeichnete Logikschaltung stets in seinen Anfangszustand zurückgesetzt, sobald an irgendeiner Stelle ein Fehler auftritt. Der Decoder ist dazu mit verhältnismäßig hohem Schaltungsaufwand aufgebaut; auch die Flipflops weisen einen verhältnismäßig komplizierten Aufbau auf, wozu allein schon die Ausstattung mit einer Rücksetzeinrichtung je Flipflop erheblich beiträgt. Wird für derartige Ringzähler eine erhöhte Anzahl von Flipflops benötigt, nimmt auch der Schaltungsaufwand stark zu.

Die Erfindung hat die Aufgabe, bei einer Frequenzteilerschaltung der gattungsgemäßen Art den Schaltungsaufwand sowohl für die Kettenschaltung aus den Flipflops als auch für die Logikschaltung zu verringern.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß die Flipflops gemeinsam getaktet werden und daß der Logikschaltung Ausgangssignale einer aus der Gesamtanzahl der Flipflops ausgewählten Anzahl von Flipflops, die größer oder gleich dem um 1 erhöhten, auf eine ganze Zahl abgerundeten dualen Logarithmus der um 1 verminderten Gesamtanzahl ist, zugeführt und in der Logikschaltung zu einem Eingangssignal für das erste Flipflop der Kettenschaltung entweder nach Maßgabe einer Nicht-Oder-Funktion oder gemäß einer Äquivalenzfunktion, deren Resultat über ein Antivalenzfunktion mit dem Ausgangssignal des ersten Flipflops kombiniert ist, verknüpft werden.

Durch die erfindungsgemäß ausgestaltete Logikschaltung werden einerseits Ausgangssignale der Flipflops der Kettenschaltung an den Eingang des ersten Flipflops der Kettenschaltung zurückgeführt und damit eine Rückkopplung bewirkt. Zum zweiten wird in der Logikschaltung eine Verknüpfung der Ausgangssignale derart gebildet, daß eine fehlerfreie Funktion der Frequenzteilerschaltung gewährleistet ist. Dies ist insbesondere bei der Inbetriebnahme zum Erreichen eines definierten Betriebszustandes vorteilhaft. Durch eine solche Logikschaltung ist es möglich, Flipflops ohne eine Rücksetzfunktion einzusetzen, wodurch der Schaltungsaufwand für die Flipflops wesentlich vereinfacht werden kann. Dies ist insbesondere deshalb von Bedeutung, weil für die erfindungsgemäßen Frequenzteilerschaltungen, d. h. Ringschieberegisteranordnungen, in der Regel eine gegenüber herkömmlichen, binären Frequenzteilerschaltungen erhöhte Anzahl von Flipflops für die Verwirklichung eines vorgegebenen Teilverhältnisses erforderlich sein kann. Darüber hinaus ist die Logikschaltung gegenüber einer einfachen Rücksetzfunktion eines Flipflops in der Lage, auch zu beliebigen Zeitpunkten während des Betriebes auftretende Störungen in den Schaltzuständen der Flipflops umgehend und zuverlässig zu beheben, ohne dafür z. B. die Ringschieberegisteranordnung bzw. Kettenschaltung in einen starr vorgegebenen Anfangszustand zurückzusetzen.

Die erfindungsgemäße Frequenzteilerschaltung hat außerdem gegenüber herkömmlichen, binären Frequenzteilern den Vorteil, daß in ihnen beim Taktieren in jeder Taktperiode eine konstante Anzahl bzw. zusätzlich eine sehr geringe Anzahl von Flipflops umgeschaltet wird. In diesem Zusammenhang sei verwiesen auf die EP-OS 0 471 390, Fig. 2 mit zugehöriger Beschreibung. Die in dieser Druckschrift aufgeführten, in Serie geschalteten Flipflops werden mit unterschiedlichen Frequenzen betrieben, wobei sich von Flipflop zu Flipflop die Frequenz jeweils halbiert.

Dadurch treten an bestimmten Schaltflanken des dem dortigen Frequenzteiler über einen Anschluß IN zugeführten Signals mehr oder weniger stark gehäuft Schaltflanken der mit N1 bis N4 bezeichneten Ausgangssignale der Flipflops auf. Diese Häufung der Schaltflanken führt zu Störungen, die bei der erfindungsgemäßen Frequenzteilerschaltung vermieden werden.

Diese Vorteile werden besonders deutlich, wenn eine erfindungsgemäße Frequenzteilerschaltung mit einer Schaltungsanordnung zum Verarbeiten analoger Signale zusammengefaßt wird. Bei Verwendung herkömmlicher, binärer Frequenzteiler könnten dabei leicht niederfrequente, in den Frequenzbereich der analogen Signale fallende Störungen eingestreut werden, die schwer oder gar nicht ausfilterbar sind. Durch die Erfindung werden solche Störungen im Ansatz vermieden.

Dieser Vorteil zeigt sich bevorzugt dann, wenn die Frequenzteilerschaltung mit Flipflops in C-MOS-Technik aufgebaut ist. Beim Umschalten derartiger Flipflops treten zu den Zeitpunkten der Schaltflanken Stromspitzen durch Umladeströme auf, die sich bei dem herkömmlichen, binären Frequenzteiler additiv überlagern und dadurch insbesondere bei umfangreichen Frequenzteilern mit hohen Teilverhältnissen beträchtliche Amplituden annehmen können. Diese Stromspitzen führen durch Spannungsabfälle auf Zuleitungen zu Störspannungen, die z. B. über Stromversorgungsleitungen auch auf Schaltungsteile zur analogen Signalverarbeitung übertragen werden. Dies ist besonders nachteilig bei integrierten Schaltkreisen, in denen die Störungen im Substratmaterial übertragen und in den gesamten Schaltkreis eingestreut werden können. Durch die Erfindung wird jedoch dieser

Fehler behoben.

Eine besonders rasche und präzise Erfassung von Unregelmäßigkeiten der Betriebszustände der Flipflops läßt sich dadurch erzielen, daß sämtliche Ausgänge sämtlicher Flipflops der Frequenzteilerschaltung durch die Logikschaltung überwacht werden. Der Schaltungsaufwand wird minimal, wenn die ausgewählte Anzahl der Flipflops gleich dem um 1 erhöhten, auf eine ganze Zahl abgerundeten dualen Logarithmus der um 1 verminderten Gesamtzahl der Flipflops ist. Bei einer derartigen Ausgestaltung der Logikschaltung braucht gezielt nur ein Teil der Gesamtanzahl der Flipflops der Kettenschaltung überwacht zu werden. Die dadurch bedingte, geringfügige Erhöhung der Zeitdauer für das Korrigieren einer Störung der Schaltzustände der Flipflops wird durch den verringerten Schaltungsaufwand wettgemacht.

Bei der Ausführung der Logikschaltung wird bezüglich der die Frequenzteilerschaltungen bildenden Ringschieberegisteranordnungen unterschieden zwischen einer invertierenden Rückkopplung, bei der vom Prinzip her das Ausgangssignal des letzten Flipflops der Kettenschaltung in invertierter Form dem Eingang des ersten Flipflops der Kettenschaltung zugeführt wird, und einer entsprechenden nicht invertierenden Rückkopplung. Diese Rückkopplungen sind in die beschriebenen Ausgestaltungen der Logikschaltung eingebunden, d. h. durch diese bereits verwirklicht. Insgesamt ergibt sich dadurch eine sehr funktionssichere, störarme und kompakte Schaltungsanordnung.

Wenn auch die ausgewählte Anzahl der Flipflops bevorzugt kleiner ist als deren Gesamtanzahl in der Kettenschaltung, enthält sie doch vorteilhaft deren erstes und letztes Flipflop. Die Auswertung der Ausgangssignale des ersten und des letzten Flipflops der Kettenschaltung enthält insbesondere auch die Rückkopplung der Kettenschaltung zu einem Ringschieberegister sowie eine unmittelbare Beeinflussung des Eingangssignals des ersten Flipflops der Kettenschaltung durch das Ausgangssignal dieses Flipflops.

Die in den erfindungsgemäßen Frequenzteilerschaltungen verwendeten Flipflops sind bevorzugt als D-Flipflops ausgebildet, wodurch eine besonders einfache Bauform erzielt wird. In einer Abwandlung der Erfindung können auch Flipflops anderer Bauart, z. B. solche mit Freigabesignaleingang ("Clock-Enable") verwendet werden.

Nach einer besonders vorteilhaften Weiterbildung der Erfindung ist die ausgewählte Anzahl bezüglich der Gesamtanzahl der Flipflops sowie die Anordnung der zur ausgewählten Anzahl gehörenden Flipflops in der Kettenschaltung gemäß der im Anschluß an diese Beschreibung abgedruckten TABELLE bestimmt. Darin ist mit FF die Gesamtanzahl der Flipflops einer Frequenzteilerschaltung und mit n die ausgewählte Anzahl der Flipflops dieser Schaltung bezeichnet. In den mit den Zahlen 1 bis 17 bezeichneten Spalten der beispielhaft nur bis zu einer Gesamtanzahl von 17 Flipflops geführten TABELLE sind die einzelnen Flipflops der Kettenschaltung durchnummeriert. Jede Zeile der TABELLE symbolisiert eine Ausgestaltungsmöglichkeit für eine Frequenzteilerschaltung, wobei die Flipflops, deren Ausgangssignale in der Logikschaltung miteinander verknüpft werden, in der jeweiligen Zeile durch ein Kreuz gekennzeichnet sind, wohingegen die nicht zur ausgewählten Anzahl gehörenden Flipflops mit einem Strich markiert sind. Die Logikschaltung verknüpft dabei die Ausgangssignale der ausgewählten Anzahl der Flipflops nach stets derselben vorstehend angegebenen Vorschrift.

Die in der mit OP bezeichneten Spalte der TABELLE durch einen Stern hervorgehobenen Zeilen der TABELLE bestimmen dabei besonders günstige Kombinationen für die ausgewählte Anzahl der Flipflops, bei der mit ansonsten identischem Schaltungsaufwand ein besonders schnelles Einlaufen der Frequenzteilerschaltung aus einem beliebigen Anfangszustand in die erwünschte Betriebsweise erreicht wird.

Für die Verwirklichung größerer Frequenzteilverhältnisse der erfindungsgemäßen Frequenzteilerschaltungen sind dafür Flipflops in entsprechend größerer Anzahl vorzusehen. Zur Begrenzung des Schaltungsaufwandes ist es vorteilhaft, daß wenigstens zwei Frequenzteilerschaltungen miteinander in Kaskade angeordnet sind, in der aus einem Ausgangssignal einer vorhergehenden Frequenzteilerschaltung ein Taktsignal für eine nachfolgende Frequenzteilerschaltung abgeleitet wird. Ein durch eine derart aufgebaute Frequenzteilerschaltung erzielbares Teilverhältnis bestimmt sich aus dem Produkt der Teilverhältnisse der kaskadierten, einzelnen Frequenzteilerschaltungen.

Vergleichbare Vorteile werden auch dadurch erzielt, daß wenigstens zwei Frequenzteilerschaltungen bzw. Kaskaden dieser Schaltungen ein gemeinsames Taktsignal zugeleitet wird und daß aus ihren Ausgangssignalen über eine UND-Verknüpfung ein resultierendes Ausgangssignal gewonnen wird. Auch bei einer derartigen Anordnung multiplizieren sich die Teilverhältnisse nach Art eines kleinsten, gemeinsamen Vielfachen zu einem Gesamt-Teilverhältnis.

Wahlweise können nach dem Prinzip der Erreichung des kleinsten, gemeinsamen Vielfachen zusammengesetzte Frequenzteilerschaltungen in Kaskade angeordnet werden, wobei auch Kaskaden von Frequenzteilerschaltungen nach dem Prinzip des kleinsten, gemeinsamen Vielfachen zusammenschaltbar sind. Insgesamt ergibt sich eine umfangreiche Variationsmöglichkeit, die unterschiedlichsten Teilverhältnisse zu erzeugen.

Schaltungsanordnungen gemäß der Erfindung sind vorteilhaft verwendbar in Anordnungen mit phasenverriegelten Schleifen für eine störungsarme Frequenzteilung. Ein bevorzugtes Einsatzgebiet sind Anordnungen zur Videosignalverarbeitung, da dort besonders hohe Anforderungen an die Störfreiheit der zu verarbeitenden, analogen Signale gestellt werden.

Ausführungsbeispiele der erfindungsgemäßen Frequenzteilerschaltungen zum erfindungsgemäßen Einsatz sind in den Figuren dargestellt und werden im nachfolgenden näher beschrieben.

Es zeigen

Fig. 1 ein Prinzipschaltbild für eine Frequenzteilerschaltung gemäß der Erfindung,

Fig. 2 zeitliche Verläufe von Signalen in der Schaltungsanordnung nach Fig. 1 in einer ersten Betriebsart und

Fig. 3 dieselben in einer zweiten Betriebsart,

Fig. 4 zum Vergleich entsprechende Signale einer binären Frequenzteilerschaltung nach dem Stand der Technik,

Fig. 5 ein erstes Ausführungsbeispiel einer erfindungsgemäßen Frequenzteilerschaltung und

Fig. 6 Signalverläufe der Schaltung gemäß Fig. 5,

Fig. 7 ein zweites Ausführungsbeispiel einer erfindungsgemäßen Frequenzteilerschaltung und

Fig. 8 die zu Fig. 7 gehörenden Signalverläufe,

Fig. 9 ein drittes Ausführungsbeispiel einer erfindungsgemäßen Frequenzteilerschaltung und

Fig. 10 die zugehörigen Signalverläufe,

Fig. 11 ein viertes Ausführungsbeispiel einer erfindungsgemäßen Frequenzteilerschaltung und

Fig. 12 die zugehörigen Signalverläufe,

Fig. 13 bis 18 weitere Beispiele für erfindungsgemäße Frequenzteilerschaltungen,

Fig. 19, 20 Blockschaltbilder von Ausführungsbeispielen für Logikschaltungen für erfindungsgemäße Frequenzteilerschaltungen,

Fig. 21 ein Detailschaltbild einer derartigen Logikschaltung und

Fig. 22 Signalverläufe aus der Schaltung nach Fig. 21,

Fig. 23 zwei in Kaskade angeordnete Frequenzteilerschaltungen und

Fig. 24 drei nach dem Prinzip des kleinsten, gemeinsamen Vielfachen verknüpfte Frequenzteilerschaltungen.

Fig. 1 zeigt schematisch den Aufbau einer Frequenzteilerschaltung. Darin sind als Beispiel sechs D-Flipflops 11 bis 16 nach Art eines Schieberegisters in Kettenschaltung angeordnet, bei der jeweils der Ausgang Q1 bis Q5 eines vorausgehenden Flipflops 11 bis 15 der Kettenschaltung mit einem Eingang D2 bis D6 eines nachfolgenden Flipflops 12 bis 16 verbunden ist. Allen D-Flipflops 11 bis 16 wird über ihre Takteingänge T ein gemeinsames Taktsignal CL zugeführt.

Die so gebildete Kettenschaltung der Flipflops 11 bis 16 weist eine Funktion nach Art eines Schieberegisters derart auf, daß bei einer bestimmten Schaltflanke des Taktsignals CL ein einem Ausgang eines Flipflops anstehendes Ausgangssignal über den mit diesem Ausgang verbundenen Eingang des nachfolgenden Flipflops in dieses übernommen wird. In den vorliegenden Ausführungsbeispielen ist das Taktsignal CL als Rechtecksignal ausgebildet, wie beispielsweise in Fig. 2a) dargestellt. Jede ansteigende Flanke dieses Rechtecksignals dient als Schaltflanke des Taktsignals.

Eine Frequenzteilerschaltung wie im vorliegenden Beispiel wird durch Rückkopplung des Ausgangs Q6 des letzten Flipflops 16 der Kettenschaltung auf den Eingang D1 des ersten Flipflops 11 erhalten. Diese mit dem Bezugszeichen 17 gekennzeichnete Rückkopplung kann invertierend oder nicht invertierend ausgeführt sein, was bedeutet, daß das Ausgangssignal vom Ausgang Q6 in invertierter Form (invertierende Rückkopplung) bzw. in nicht invertierter, d. h. unveränderter Form (nicht-invertierende Rückkopplung) an den Eingang D1 übertragen wird.

Zur Betriebsweise mit invertierender Rückkopplung zeigt die Fig. 2 schematisch ein Zeitdiagramm der Signale in der Frequenzteilerschaltung nach Fig. 1. Die Ausgangssignale Q1 bis Q6 sind in Fig. 2b) bis g) wiedergegeben. Bei invertierender Rückkopplung werden den Flipflops 11 bis 16 abwechselnd nur Signale eines logischen Pegels zugeführt, bis am Ausgang Q6 des letzten Flipflops 16 der Kettenschaltung dieser Signalpegel auftritt. Bei der nächsten Schaltflanke des Taktsignals CL wird dann der Signalpegel vom Ausgang Q6 invertiert in das erste Flipflop 11 übernommen, woraufhin nach und nach sämtliche Flipflops diesen invertierten Signalpegel annehmen, bis dieser wiederum am Ausgang Q6 ansteht. Am Ausgang Q6, aber auch an jedem der übrigen Ausgänge Q1 bis Q5, kann dann ein frequenzgeteiltes Rechtecksignal abgegriffen werden, dessen Frequenz dem Quotienten aus der Frequenz des Taktsignals und dem Teilverhältnis entspricht. Dieses Teilverhältnis ist bei invertierender Rückkopplung gleich dem Doppelten der Anzahl der Flipflops 11 bis 16. Das frequenzgeteilte Signal weist ein Tastverhältnis von 50% auf.

Wie aus den Zeitdiagrammen von Fig. 2 erkennbar ist, wechselt zu jedem der Zeitpunkte  $t_0$ ,  $t_1$  usw. der Schaltzustand nur eines der Flipflops 11 bis 16. Damit tritt zu jedem dieser Zeitpunkte eine Störung nur durch je einen einzigen Umschaltvorgang eines einzigen Flipflops auf. Diese Störungen weisen damit einerseits eine geringe Amplitude auf, andererseits erscheinen sie zu jeder Schaltflanke des Taktsignals CL in gleicher Form. Sie bilden daher ein Störsignal, dessen Frequenz der Taktfrequenz entspricht. Da diese in der Regel wesentlich höher gewählt ist als die höchste Frequenz der von der Schaltungsanordnung 1 zu verarbeitenden analogen Signale, also außerhalb der Nutzbandbreite liegt, lassen sich die so erzeugten Störungen sehr leicht ausfiltern und damit für die weitere Signalverarbeitung unschädlich machen.

In Fig. 3 sind Zeitverläufe für eine Betriebsweise der Frequenzteilerschaltung nach Fig. 1 mit nicht-invertierender Rückkopplung wiedergegeben. Dabei zeigt die Teilfigur a) wiederum das Taktsignal CL, in den Teilfigur b) bis g) sind die Ausgangssignale Q1 bis Q6 der Flipflops 11 bis 16 dargestellt. Bei der nicht-invertierenden Rückkopplung wandert ein Impuls durch die Kettenschaltung, der im gezeigten Beispiel eine Länge von einer Periodendauer des Taktsignals CL aufweist und nach Erreichen des Ausgangs Q6 unverändert wieder dem Eingang D1 zugeleitet wird. Das Tastverhältnis des frequenzgeteilten Signals, welches wiederum an einem beliebigen der Ausgänge Q1 bis Q6 abgegriffen werden kann, beträgt dann 100% geteilt durch das Teilverhältnis. Dieses wiederum ist gleich der Anzahl der Flipflops 11 bis 16 der Kettenschaltung.

Aus den Kurvenverläufen der Fig. 3 ist zu erkennen, daß bei dem dort dargestellten Beispiel für die Betriebsweise mit nicht-invertierender Rückkopplung zu jedem Zeitpunkt einer Schaltflanke  $t_0$ ,  $t_1$  usw. des Taktsignals CL zwei Umschaltvorgänge auftreten, und zwar in jeweils zwei aufeinanderfolgenden Flipflops der Kettenschaltung. Dabei wird jeweils ein Flipflop von einem niedrigen logischen Pegel auf einen hohen logischen Pegel umgeschaltet und das zweite Flipflop umgekehrt geschaltet. Es zeigt sich, daß sich diese Schaltvorgänge mit komplementärem Wechsel der Schaltzustände der Flipflops wenigstens teilweise gegenseitig kompensieren, so daß trotz der doppelten Anzahl von Schaltvorgängen gegenüber dem Betriebsbeispiel der Fig. 2 eine weitere Verringerung der Amplitude der Störungen verzeichnet wird, wobei deren Frequenz wieder der Taktfrequenz entspricht.

Im Vergleich dazu zeigt Fig. 4 Signalverläufe bei einer herkömmlichen binären Frequenzteilerschaltung. In Fig. 4a) ist das in seiner Frequenz zu teilende Taktsignal IN dargestellt, welches in den einzelnen Stufen der Frequenzteilerschaltung um jeweils den Faktor 2 in der Frequenz geteilt wird, so daß nacheinander die in Fig. 4b) bis e) wiedergegebenen Signale N1 bis N3 und schließlich das Ausgangssignal OUT entstehen. In dieser Schaltungsanordnung treten die Umschaltvorgänge der Flipflops sehr ungleichmäßig verteilt auf. So werden zum Zeitpunkt t0 alle Stufen umgeschaltet, entsprechend treten in den Kurvenverläufen von Fig. 4b) bis e) Signalsprünge auf. Zum Zeitpunkt t1, der nächsten Schaltflanke des Signals IN, schaltet nur die das Signal N1 abgebende Stufe. Zum Zeitpunkt t2 treten entsprechend zwei Umschaltvorgänge auf, zum Zeitpunkt t3 einer, zum Zeitpunkt t4 drei Umschaltvorgänge usw. Eine Häufung der Umschaltvorgänge erkennt man zu den Zeitpunkten t8 und t16. Entsprechend weist die additive Überlagerung der durch diese Schaltung erzeugten Störsignale Komponenten bei unterschiedlichen, vor allem auch bei niedrigen Frequenzen auf. Diese verursachen die eingangs beschriebenen Störungen, die bei der Frequenzteilerschaltung nach der Erfindung behoben sind.

Die erfindungsgemäßen Frequenzteilerschaltungen benötigen zwar eine höhere Anzahl von Flipflops als diejenigen der in Fig. 4 beschriebenen, herkömmlichen Bauart, bei der die Anzahl der benötigten Flipflops dem Zweierlogarithmus des Teilverhältnisses entspricht. Trotzdem ergibt sich für nicht zu große Teilverhältnisse ein geringer Schaltungsaufwand, da die verwendeten Flipflops sehr einfach gestaltet werden können. Bei einer Integration auf einer auf einem Halbleiterkörper lassen sich sehr regelmäßige und problemlos aneinanderreihbare Leiterbahnstrukturen verwirklichen. Dies gilt auch im Hinblick auf noch zu beschreibende Logikschaltungen, in denen die Ausgangssignale der Flipflops bzw. einer ausgewählten Anzahl n der Flipflops zur Beeinflussung des Eingangssignals für das erste Flipflop der Kettenschaltung miteinander verknüpft werden, um für alle Flipflops aus einem beliebigen Betriebszustand heraus exakt und fehlerfrei die gewünschte Betriebsweise zu erhalten. In der Praxis hat sich gezeigt, daß für Teilverhältnisse von etwa 16 bis 20 bei Frequenzteilerschaltungen mit invertierender Rückkopplung und bei Teilverhältnissen von etwa 8 bis 10 bei Frequenzteilerschaltungen mit nicht-invertierender Rückkopplung der Schaltungsaufwand und der Flächenbedarf auf einem Halbleiterkörper nicht höher ist als für die genannten, herkömmlichen Schaltungsanordnungen. Hinzu kommt als Vorteil aber die extrem störungsarme Betriebsweise sowie die erwähnte, einfache Gestaltung.

Einige Beispiele für Frequenzteilerschaltungen der erfindungsgemäßen Art, die mit einer Logikschaltung ausgerüstet sind, durch die unerlaubte Schaltzustände der Flipflops im Betrieb korrigiert und ein sicherer Anlauf bei Inbetriebnahme gewährleistet werden, finden sich in den Fig. 5, 7, 9, 11 sowie 13 bis 18. In Fig. 5 ist eine Frequenzteilerschaltung mit zwei D-Flipflops 21, 22 dargestellt, die z. B. den D-Flipflops 11, 12 der Fig. 1 entsprechen. Im übrigen sind hier wie auch in den weiteren Figuren identische bzw. einander entsprechende Teile mit übereinstimmenden Bezugszeichen versehen.

Die Frequenzteilerschaltung nach Fig. 5 umfaßt weiterhin eine Logikschaltung 20, der an Eingängen A, B die Ausgangssignale der Flipflops 21, 22 zugeleitet werden. Die Logikschaltung 20 erfüllt zum einen die Aufgabe, für die Kettenschaltung aus den Flipflops 21, 22 eine invertierende Rückkopplung vom Ausgang Q2 des zweiten Flipflops 22 auf den Eingang D1 des ersten Flipflops 21 zu bilden. Dies ist durch ein Negationssymbol am Ausgang Y der Logikschaltung 20 angedeutet.

Zum zweiten hat die Logikschaltung 20 die Funktion, aus einer Verknüpfung der Signale an ihren Eingängen A, B das Ausgangssignal am Ausgang Y derart zu bilden, daß ein sicheres Anlaufen der Frequenzteilerschaltung bei Inbetriebnahme und eine zuverlässige Korrektur unzulässiger Schaltzustände der Flipflops 21, 22 im Betrieb gewährleistet sind. Dazu werden die Signale an den Eingängen A, B der Logikschaltung 20 gemäß einer Äquivalenzfunktion miteinander verknüpft, deren Resultat wiederum über eine Antivalenzfunktion mit dem Ausgangssignal Q1 des ersten Flipflops 21, d. h. mit dem Signal am Eingang A der Logikschaltung 20, kombiniert wird. Anders ausgedrückt ergibt sich das Signal am Ausgang Y als Inverses von Q1, wenn Q1 und Q2, d. h. die Signale an den Eingängen A, B, übereinstimmen; im anderen Fall stimmt das Signal am Ausgang Y mit dem Signal am Eingang A, d. h. Q1, überein. Dieselbe Funktion ergibt sich auch, wenn bei übereinstimmenden Signalen an den Eingängen A, B das Signal am Ausgang Y den inversen Wert des Signals am Eingang B, d. h. das Inverse von Q2, annimmt.

Die Frequenzteilerschaltung nach Fig. 5 verwirklicht ein Teilverhältnis von 4, d. h. das Signal am Ausgang 23 der Frequenzteilerschaltung nach Fig. 5 weist eine um den Faktor 4 gegenüber der Frequenz des Taktsignals CL verringerte Frequenz auf. Fig. 6 zeigt die entsprechenden zeitlichen Verläufe der Signale in Fig. 5. Dabei ist in der Teilfig. a) das gemeinsame Taktsignal CL, in Teilfig. b) das Signal am Eingang D1 des ersten Flipflops 21 entsprechend dem Signal am Ausgang Y der Logikschaltung 20, in Teilfig. c) das Signal am Ausgang Q1 des ersten Flipflops 21 entsprechend dem Signal am Eingang A der Logikschaltung 20 und in Teilfig. d) das Signal am Ausgang Q2 des zweiten Flipflops 22 entsprechend dem Signal am Eingang B der Logikschaltung 20 bzw. am Ausgang 23 der Frequenzteilerschaltung dargestellt.

Fig. 7 zeigt ein weiteres Beispiel für eine Frequenzteilerschaltung gemäß der Erfindung mit einer Kettenschaltung aus drei D-Flipflops 31, 32, 33, die den Flipflops 11, 12, 13 der Fig. 1 entsprechen, sowie einer Logikschaltung 30 mit drei Eingängen A, B, C, die wiederum eine invertierende Rückkopplung vom Ausgang Q3 des dritten Flipflops 33 zum Eingang D1 des ersten Flipflops 31 bewirkt. Durch die Frequenzteilerschaltung gemäß Fig. 7 wird ein Teilverhältnis von 6 erzeugt. In der Logikschaltung 30 werden die Signale an den Eingängen A, B, C wieder gemäß einer Äquivalenzfunktion verknüpft, deren Resultat über eine Antivalenzfunktion mit dem Signal am Eingang A verknüpft wird. In einer Abwandlung kann die Verknüpfung gemäß der Antivalenzfunktion auch mit dem Signal am Eingang C erfolgen.

Die Signalverläufe der Schaltungsanordnung nach Fig. 7 sind in Fig. 8 unter Verwendung der erläuterten Bezugszeichen dargestellt.

Ein drittes Beispiel für eine Frequenzteilerschaltung mit invertierender Rückkopplung ist in Fig. 9 aus vier

Flipflops 41, 42, 43, 44 sowie einer Logikschaltung 40 mit vier Eingängen A, B, C, D gebildet. Die zugehörigen Signale finden sich in Fig. 10. Die Frequenzteilerschaltung nach Fig. 9 bildet ein Teilverhältnis von 8; ein entsprechend gegenüber dem gemeinsamen Taktsignal CL frequenzgeteiltes Signal kann am Ausgang 23 der Frequenzteilerschaltung abgegriffen werden. In der Logikschaltung 40 werden die Signale an den Eingängen A bis D wieder gemäß einer Äquivalenzfunktion und deren Resultat gemäß einer Antivalenzfunktion mit dem Signal am Eingang A verknüpft. Anstelle des Signals am Eingang A kann zur Verknüpfung gemäß der Antivalenzfunktion auch ein Signal von einem der übrigen Eingänge B, C, D, der Logikschaltung 40 herangezogen werden.

In Fig. 10 ist zusätzlich zur bestimmungsgemäßen Betriebsweise, in der alle Flipflops 41 bis 44 sich im zu jedem Zeitpunkt korrekten, "erlaubten" Zustand befinden, zu Beginn der Signalverläufe eine Abweichung von diesem Betriebszustand dargestellt. Es ist angenommen, daß das vierte Flipflop 44 an seinem Ausgang Q4 zu Beginn des in Fig. 10 dargestellten, zeitlichen Ausschnitts des Betriebs einen unkorrekten Schaltzustand aufweist, so daß am Ausgang Q4 ein hoher anstelle eines niedrigen Signalpegels auftritt. Dem nun folgenden Korrekturvorgang ist zugrundegelegt, daß in der Logikschaltung 40 die durch eine Äquivalenzfunktion verknüpften Signale an den Eingängen A bis D über die Antivalenzfunktion mit dem Signal am Eingang A verbunden sind. Bei diesem Beispiel ist zu erkennen, daß schon nach der ersten Schaltflanke (ansteigende Flanke) im Taktsignal CL alle Flipflops wieder einen korrekten Schaltzustand aufweisen.

Fig. 11 zeigt ein Ausführungsbeispiel einer Frequenzteilerschaltung mit vier D-Flipflops 51 bis 54 sowie einer nicht-invertierenden Rückkopplung bildenden Logikschaltung 50. Dabei bilden die ersten drei Flipflops 51 bis 53 eine vom Ausgang Q3 des dritten Flipflops 53 an den Eingang D1 des ersten Flipflops 51 nicht-invertierend rückgekoppelte Kettenschaltung. Entsprechend werden der Logikschaltung 50 an drei Eingängen A, B, C die Signale von den Ausgängen Q1, Q2, Q3 der Flipflops 51, 52, 53 zugeleitet. Das Ausgangssignal Y der Logikschaltung 50 wird aus den Signalen an den Eingängen A, B, C nach Maßgabe einer NICHT-ODER-Funktion gebildet, wodurch wieder außer der Rückkopplung auch eine fehlerhafte Schaltzustände der Flipflops 51 bis 53 korrigierende Funktion verwirklicht ist. Die Funktion der Logikschaltung 50 zur Bildung des Signals an ihrem Ausgang Y kann auch dadurch beschrieben werden, daß das Signal am Ausgang Y einen hohen Signalpegel annimmt, wenn die Signale an allen Eingängen A, B, C niedrige Signalpegel aufweisen. Anderenfalls nimmt das Signal am Ausgang Y einen niedrigen Signalpegel ein.

Fig. 12 erläutert diese Funktionsweise anhand der Teilfigur a) bis e). Durch die Kettenschaltung aus den Flipflops bis 53 wird zyklisch ein Impuls hohen Signalpegels mit einer Dauer einer Periode des Taktsignals CL "hindurchgeschoben". Im linken Teil des Diagramms der Fig. 12 ist für die Frequenzteilerschaltung nach Fig. 11 beispielhaft ein Ausgleichsvorgang für einen unkorrekten Schaltzustand des dritten Flipflops 53 dargestellt, dessen Ausgang Q3 zu Beginn der in Fig. 12 dargestellten Zeitverläufe anstelle eines niedrigen Signalpegels einen hohen Signalpegel aufweist, vgl. Fig. 12e). Dieser Fehler wird jedoch am dritten Flipflop 53 bereits an der ersten, dargestellten Schaltflanke des Taktsignals CL ausgeglichen, so daß im folgenden korrekte Verläufe der Signale an den Ausgängen Q1 bis Q3 erscheinen.

Die Frequenzteilerschaltung nach Fig. 11 enthält weiterhin ein viertes Flipflop 54, welches für die Verwirklichung des Teilverhältnisses der Frequenzteilerschaltung keine Bedeutung hat, da sein Ausgang Q4 nicht an den Eingang D1 des ersten Flipflops 51 der Kettenschaltung rückgekoppelt ist. Das vierte Flipflop 54, das sich im übrigen in gleicher Weise an die Kettenschaltung aus den ersten bis dritten Flipflops 51 bis 53 anschließt, wie diese selbst in die Kettenschaltung eingebunden sind, dient im wesentlichen der Reduzierung der Störungen durch die Umschaltvorgänge in den Flipflops der Kettenschaltung. Aus Fig. 12c) bis f), mittlerer und rechter Teil des Diagramms, ist erkennbar, daß jeder abfallenden Flanke des durch die Kettenschaltung wandernden Impulses mit hohem Signalpegel eine ansteigende Signalfanke des in der Kettenschaltung nachfolgenden Flipflops zugeordnet werden kann, so daß stets zwei einander komplementäre Schaltvorgänge auftreten, deren Störungseinflüsse sich wenigstens teilweise kompensieren. Ohne das vierte Flipflop 54 würde nun aber diese Kompensation bei der abfallenden Schaltflanke des Signals am Ausgang Q3 und auch bei der ansteigenden Signalfanke des Signals am Ausgang Q1 nicht stattfinden können, wodurch die Möglichkeit niederfrequenter Störungen gegeben ist. Um auch diese an sich geringfügige Störquelle auszuschalten, werden durch das vierte Flipflop 54 zwei weitere Schaltflanken zur Kompensation erzeugt.

Auch bei den vorstehend beschriebenen Ausführungsbeispielen mit einer Logikschaltung, die eine invertierende Rückkopplung bilden (Logikschaltungen 20, 30, 40), tritt eine gleichmäßige Verteilung der Schaltflanken auf. Zwar kompensieren sich bei dieser Bauform nicht jeweils zwei Schaltvorgänge, jedoch tritt an jeder Schaltflanke des Taktsignals CL lediglich eine Schaltflanke auf, so daß lediglich ein Störsignal geringer Amplitude und hoher Frequenz in der bereits beschriebenen Art entstehen kann, welches auf die zu verarbeitenden Nutzsignale nicht störend einwirkt; vgl. dazu Fig. 6c) und d), Fig. 8c) bis e) und Fig. 10c) bis f).

Drei weitere Ausführungsbeispiele für Frequenzteilerschaltungen mit einer nicht-invertierenden Rückkopplung bildenden Logikschaltung sind in den Fig. 13 bis 15 wiedergegeben. Die Frequenzteilerschaltung nach Fig. 13 enthält eine Kettenschaltung aus fünf Flipflops 61 bis 65, von denen die ersten vier über eine Logikschaltung 60 auf den Eingang des ersten Flipflops 61 rückgekoppelt sind. Die Darstellung der Bezugszeichen der Flipflops 61 bis 65 ist aus zeichnerischen Gründen vereinfacht. Das Signal am Ausgang 23 der Frequenzteilerschaltung wird durch das Signal des Ausgangs Q5 des fünften Flipflops 65 in Fig. 13, durch das Signal am Ausgang Q6 des sechsten Flipflops 76 in Fig. 14 und durch das Signal am Ausgang Q7 des siebten Flipflops 87 in Fig. 15 gebildet. Durch die Frequenzteilerschaltung nach Fig. 13 wird ein Teilverhältnis von 5, nach Fig. 14 von 6 und nach Fig. 15 von 7 verwirklicht. Die Logikschaltungen 60, 70, 80 bilden mit unterschiedlicher Zahl von Eingängen A bis D bzw. E bzw. F dieselbe logische Verknüpfung wie die Logikschaltung 50 aus Fig. 11, nämlich eine NICHT-ODER-Funktion.

Der Vergleich der Fig. 11, 13, 14 und 15 zeigt, daß für unterschiedliche Teilverhältnisse sehr einfach

entsprechende Frequenzteilerschaltungen nach Art einer Aneinanderreihung von Bausteinen erstellt werden können. Dies gilt auch für Frequenzteilerschaltungen mit invertierender Rückkopplung, vgl. die Fig. 5, 7 und 9. Bei zunehmendem Teilverhältnis nimmt jedoch auch der Schaltungsaufwand, insbesondere auch für die Logikschaltung, entsprechend zu.

Zur Beschränkung des Schaltungsaufwandes für die Logikschaltung kann bei den vorstehend beschriebenen Frequenzteilerschaltungen (aber auch bei entsprechend aufgebauten Zählerschaltungen) von einer Auswertung aller Ausgangssignale der Flipflops der Kettenschaltung abgesehen werden. Vielmehr wird aus der Gesamtzahl der Flipflops der Kettenschaltung eine Anzahl  $n$  von Flipflops ausgewählt, deren Ausgangssignale der Logikschaltung zugeleitet werden, wohingegen die Ausgangssignale der übrigen Flipflops, die nicht zu der ausgewählten Anzahl  $n$  gehören, für die Bewerkestellung der Rückkopplung und der unerlaubte Schaltzustände ausgleichenden Funktion unberücksichtigt bleiben.

Ein Beispiel für eine derart aufgebaute Frequenzteilerschaltung ist in Fig. 16 dargestellt. Darin bilden Flipflops 91 bis 96 eine Kettenschaltung, die über eine Logikschaltung 90 vom Ausgang Q6 des sechsten Flipflops 96 auf den Eingang D1 (in Fig. 17 vereinfacht mit D bezeichnet) des ersten Flipflops 91 rückgekoppelt ist. Diese Rückkopplung wird von der Logikschaltung 90 vorgenommen; ihr wird dazu das Signal vom Ausgang Q6 des sechsten Flipflops 96, welches außerdem das Ausgangssignal der Frequenzteilerschaltung an deren Ausgang 23 bildet, über einen Eingang C zugeleitet. Zur Verwirklichung der Korrektur unerlaubter Schaltzustände erhält die Logikschaltung 90 ferner über einen Eingang A das Signal vom Ausgang Q1 des ersten Flipflops 91 und über einen Eingang B das Signal vom Ausgang Q4 des vierten Flipflops 94. Zur zeichnerischen Vereinfachung sind auch von den letztgenannten Flipflops die Ausgänge in Fig. 16 nur mit Q bezeichnet.

Die Logikschaltung 90 gleicht in ihrem Aufbau der Logikschaltung 30 des Ausführungsbeispiels nach Fig. 7. Trotz der doppelten Anzahl von Flipflops in der Kettenschaltung im Vergleich zu Fig. 7 und damit der Verwirklichung eines demgegenüber verdoppelten Teilverhältnisses wird also für die Logikschaltung kein erhöhter Schaltungsaufwand benötigt. Dieser Vorteil wird allerdings im Mittel durch eine gegenüber einer Anordnung wie derjenigen nach Fig. 14 mit der dortigen Logikschaltung 70 etwas erhöhte Zeitspanne zum Ausgleichen unerlaubter Schaltzustände erkauft, jedoch ist dieser Nachteil gegenüber dem Vorteil der Schaltungsvereinfachung und damit insbesondere der Platzersparnis bei einer auf einem Halbleiterkörper integrierten Schaltung gering.

Im Ausführungsbeispiel nach Fig. 16 ist die ausgewählte Anzahl  $n$  der Flipflops gleich 3 bei einer Gesamtanzahl FF der Flipflops von 6. Verallgemeinert wird die ausgewählte Anzahl  $n$  größer oder gleich dem um 1 erhöhten auf eine ganze Zahl abgerundeten dualen Logarithmus der um 1 verminderten Gesamtzahl FF der Flipflops gewählt. Diese Bemessungsregel bewirkt, daß zu jeder Kettenschaltung eine für eine funktionstüchtige Korrektur unerlaubter Schaltzustände erforderliche Mindestanzahl von Signalen der Ausgänge der Flipflops ausgewertet wird. Je nachdem, ob eine invertierende oder eine nicht-invertierende Rückkopplung vorgesehen ist, wird durch diese Logikschaltungen wieder die schon beschriebene, logische Verknüpfung eingesetzt; die Logikschaltung 90 in Fig. 16 ist für eine invertierende Rückkopplung ausgelegt. Für eine sichere Funktionsweise enthält die ausgewählte Anzahl  $n$  der Flipflops stets das erste und das letzte Flipflop der Kettenschaltung. In Fig. 16 sind dies die mit den Eingängen A und C verbundenen Flipflops 91 bzw. 96.

Aus der im Anschluß an diese Beschreibung aufgeführten TABELLE ist eine Übersicht über Ausführungsbeispiele von Frequenzteilerschaltungen mit einer Gesamtzahl FF von Flipflops innerhalb der Kettenschaltung zwischen 3 und 17 abgedruckt. Diese TABELLE gibt in der zweiten, mit FF bezeichneten Spalte die Gesamtanzahl FF der Flipflops der Kettenschaltung wieder, in der dritten mit  $n$  bezeichneten Spalte die zugehörige, ausgewählte Anzahl  $n$  der einzelnen, in je einer Zeile der Tabelle abgedruckten Ausführungsbeispiele. Die aufgeführten Beispiele beinhalten lediglich diejenigen Kombinationen, bei denen die ausgewählte Anzahl  $n$  für die jeweils zugehörige Gesamtanzahl FF ein Minimum darstellt und damit der Schaltungsaufwand minimal wird; weitere Kombinationen mit zu derselben Gesamtanzahl FF größeren Werten von  $n$  sind ebensogut möglich, jedoch nicht explizit wiedergegeben.

In den nachfolgenden Spalten, die mit den Zahlen 1 bis 17 entsprechend dem ersten bis siebzehnten Flipflop der Kettenschaltung gekennzeichnet sind, enthält die TABELLE Informationen darüber, welche der Flipflops der Kettenschaltung mit ihren Ausgängen mit der Logikschaltung verbunden sind. Eine Verbindung ist dabei mit "X" symbolisiert, nicht angeschlossene Flipflops sind mit einem waagerechten Strich markiert. Die TABELLE bezieht sich bevorzugt auf die Gestaltung von Frequenzteilerschaltungen und zugehörigen Logikschaltungen mit invertierender Rückkopplung.

Das Beispiel in der ersten Zeile der TABELLE für eine Gesamtanzahl FF von 3 findet sich in Fig. 7 wieder, und aus dem Ausführungsbeispiel der Fig. 9 gelangt man zu dem Beispiel in der zweiten Zeile der TABELLE für die Gesamtanzahl FF der Flipflops von 4, indem in Fig. 9 das Signal vom Ausgang Q2 des zweiten Flipflops 42 für eine Auswertung in der Logikschaltung unberücksichtigt gelassen und anstelle der Logikschaltung 40 der Fig. 9 die Logikschaltung 30 der Fig. 7 eingesetzt wird, in der dann dem dortigen Eingang B das Signal vom Ausgang Q3 des dritten Flipflops 43 und dem Eingang C das Signal vom Ausgang Q4 des vierten Flipflops 44 zugeleitet wird.

Zwei weitere Beispiele aus der TABELLE sind in den Fig. 17 und 18 wiedergegeben. Fig. 17 zeigt eine Kettenschaltung aus acht Flipflops 101 bis 108, für die zur Verwirklichung einer invertierenden Rückkopplung wiederum nur eine Logikschaltung 100 mit drei Eingängen A, B und C erforderlich ist. Außer dem ersten Flipflop 101 und dem letzten Flipflop 108 der Kettenschaltung wird noch das sechste Flipflop 106 mit seinem Ausgangssignal für die Speisung der Logikschaltung 100 der Fig. 17 herangezogen. Dieses Ausführungsbeispiel wird durch die zweite Zeile des Tabellenteils für eine Gesamtanzahl FF von 8 symbolisiert. Das Beispiel nach Fig. 18 mit einer aus einer Gesamtanzahl FF von 17 Flipflops 111 bis 119, 1110 bis 1117 gebildeten Kettenschaltung sowie einer Logikschaltung 110 mit fünf Eingängen A bis E findet sich im letzten Abschnitt der TABELLE in der



vorletzten Zeile.

Die in der TABELLE in der ersten, mit "OP" bezeichneten Spalte durch einen Stern hervorgehobenen Zeilen kennzeichnen Frequenzteilerschaltungen mit einer im Mittel besonders kurzen Zeitdauer zur Korrektur unerlaubter Schaltzustände der Flipflops. Die Zeitspanne, in der ein unerlaubter Schaltzustand korrigiert wird, hängt im allgemeinen von der Art dieses Schaltzustandes ab. Wird aus einer Vielzahl repräsentativer Fälle oder in vorteilhafter Weise aus allen möglichen, fehlerhaften Schaltzuständen der Kettenschaltung der Flipflops ein Mittelwert für die Zeitspanne zur Korrektur der Schaltzustände gebildet, ergibt sich für die durch den Stern hervorgehobenen Zeilen der TABELLE der Minimalwert für alle Kombinationen zu jeweils einer Gesamtzahl FF von Flipflops. Das Ausführungsbeispiel nach Fig. 18 stellt einen solchen Fall dar.

Fig. 19 zeigt blockschematisch ein Beispiel für einen Aufbau einer Logikschaltung für invertierende Rückkopplung, wie sie in den Ausführungsbeispielen gemäß den Fig. 5, 7, 9, 16, 17 und 18 Verwendung finden kann. Die Eingänge A, B, C, D, ... der Logikschaltung 20, 30, 40, 90, 100 bzw. 110 werden mit Eingängen eines Äquivalenzgatters 24 verbunden, welches an seinem Ausgang 26 ein Signal abgibt, welches dem Resultat einer Verknüpfung der Signale an den Eingängen A, B, C, D, ... gemäß einer Äquivalenzfunktion entspricht. Das Signal vom Ausgang 26 des Äquivalenzgatters 24 wird einem Eingang eines Antivalenzgatters 25 zugeführt, dessen zweitem Eingang das Signal vom Eingang A zugeleitet wird. Die dem Antivalenzgatter 25 zugeführten Signale werden darin gemäß einer Antivalenzfunktion verknüpft und als Ausgangssignal Y der Logikschaltung 20, 30, 40, 90, 100 bzw. 110 abgegeben.

Fig. 20 zeigt als Ausführungsbeispiel für eine Logikschaltung 50, 60, 70 bzw. 80 ein NICHT-ODER-Gatter 55, durch welches die Eingänge A, B, C, D, ... dieser Logikschaltungen im Sinne einer Korrektur unerlaubter Schaltzustände und einer nicht-invertierenden Rückkopplung zum Ausgangssignal am Ausgang Y dieser Logikschaltungen verknüpft werden.

Fig. 21 zeigt als Beispiel für den detaillierten Aufbau einer Logikschaltung eine Anordnung in sogenannter dynamischer CMOS-Technik mit drei Eingängen A, B und C für eine nicht-invertierende Rückkopplung. Beispielsweise kann die Logikschaltung 50 nach Fig. 11 oder das NICHT-ODER-Gatter 55 gemäß Fig. 20 in der Art der Fig. 21 aufgebaut sein. Die Logikschaltung nach Fig. 21 weist als Ladetransistor 120 einen P-Kanal-Transistor auf, dessen Sourceanschluß mit dem positiven Pol 121 einer nicht dargestellten Speisespannungsklemme verbunden ist. Der Drainanschluß des Ladetransistors 120 ist mit einem den Ausgang Y der Logikschaltung nach Fig. 21 bildenden Schaltungspunkt verbunden. Der Gateanschluß des Ladetransistors 120 ist mit einem Arbeitstakteingang 122 verbunden, dem ein Arbeitstakt CLV zugeführt wird.

Von dem den Ausgang Y bildenden Schaltungspunkt sind drei Strompfade an Masse 123 gelegt, die mit je einem der Eingänge A, B bzw. C korrespondieren. Jeder dieser Strompfade besteht aus zwei bezüglich ihrer Drain-Source-Strecken in Reihe geschalteten N-Kanal-Transistoren, von denen je einer einen Freigabetransistor 124, 125 bzw. 126 und der zweite einen dem entsprechenden Eingang A, B bzw. C zugeordneten Entladetransistor 127, 128 bzw. 129 bildet. Die Drainanschlüsse der Freigabetransistoren 124, 125, 126 sind mit dem Ausgang Y, die Sourceanschlüsse dieser Transistoren jeweils mit dem Drainanschluß des zugehörigen Entladetransistors 127, 128 bzw. 129 und deren Sourceanschlüsse gemeinsam mit Masse verbunden. Die Gateanschlüsse der Freigabetransistoren 124, 125 bzw. 126 sind gemeinsam mit dem Arbeitstakteingang 122, die Gateanschlüsse der Entladetransistoren 127, 128 bzw. 129 je mit dem zugehörigen Eingang A, B bzw. C verbunden. Parallel zu diesen drei Strompfaden ist zwischen dem Ausgang Y und Masse ein Kondensator 130 angeordnet.

Fig. 22 zeigt anhand einiger beispielhafter Signalverläufe für den Arbeitstakt CLV, der vorzugsweise aus dem Taktsignal CL abgeleitet sein kann, den Signalen an den Eingängen A, B und C sowie dem Ausgang Y die Funktionsweise der Logikschaltung nach Fig. 21. Der Arbeitstakt CLV besteht aus einer Folge von kurzen Rechteckimpulsen niedrigen Signalpegels, zwischen denen ein hoher Signalpegel vorliegt. In den Zeitintervallen hohen Signalpegels sperrt der Arbeitstakt CLV den Ladetransistor 120, dagegen sind die Freigabetransistoren 124, 125, 126 leitend geschaltet. Während der Impulse niedrigen Signalpegels leitet der Ladetransistor 120, die Freigabetransistoren 124, 125, 126 sind gesperrt. Somit wird der Kondensator 130 nur während der Impulse niedrigen Signalpegels des Arbeitstaktes CLV aus dem positiven Pol 121 der Speisespannungsquelle aufgeladen.

Solange an allen Eingängen A, B und C ein niedriger Signalpegel anliegt, sind alle Entladetransistoren 127, 128, 129 gesperrt. Der Kondensator 130 kann nicht entladen werden, am Ausgang Y liegt konstant ein hoher Signalpegel an.

Wird wenigstens an einen der Eingänge A, B, C ein hoher Signalpegel angelegt, wird über den korrespondierenden Strompfad während der Zeitintervalle hohen Signalpegels des Arbeitstaktes CLV eine Entlademöglichkeit für den Kondensator 130 geschaffen. In diesen Zeitintervallen tritt dann am Ausgang Y ein niedriger Signalpegel auf. In Fig. 22 ist dies aus dem Signalverlauf für den Ausgang Y entnehmbar.

Die Logikschaltung nach Fig. 21 ist durch ihren modularen Aufbau leicht für eine beliebig vorgebbare Anzahl von Eingängen A, B, C, usw. auslegbar.

Zur Verwirklichung größerer Teilverhältnisse wird ein niedriger Schaltungsaufwand dadurch erzielt, daß wenigstens zwei Frequenzteilerschaltungen der vorstehend beschriebenen Art miteinander in Kaskade angeordnet sind.

Eine derartige Anordnung zeigt Fig. 23. Darin sind zwei Frequenzteilerschaltungen 131, 132 der vorstehend beschriebenen Art vereinfacht als Blöcke mit den Takteingängen T der darin enthaltenen Kettenschaltungen von Flipflops sowie den Ausgängen Q1 der jeweils ersten Flipflops der Kettenschaltungen und den Ausgängen Qn der jeweils letzten Flipflops der Kettenschaltungen dargestellt. Die Kaskadenschaltung der beiden Frequenzteilerschaltungen 131, 132 wird dadurch erhalten, daß aus der ersten Frequenzteilerschaltung 131 durch logische Verknüpfung der Signale vom Ausgang Q1 des ersten Flipflops und vom Ausgang Qn des letzten Flipflops in einem UND-Gatter 133 ein Taktsignal abgeleitet wird, das dem Takteingang T der nachfolgenden Frequenzteilerschaltung 132 zugeleitet wird. Während dem Takteingang T der ersten Frequenzteilerschaltung

131 das Taktsignal CL, dessen Frequenz geteilt werden soll, zugeführt wird, wird durch Verknüpfung der Signale von den Ausgängen Q1 und Qn des ersten bzw. letzten Flipflops der Frequenzteilerschaltung 132 in einem UND-Gatter 134 das erwünschte, frequenzgeteilte Signal erhalten und über einen Ausgang 135 der Kaskadenschaltung abgegeben.

Fig. 24 zeigt eine andere Möglichkeit zur Erzielung höherer Teilverhältnisse mit geringem Schaltungsaufwand. In diesem Beispiel sind drei Frequenzteilerschaltungen 141, 142, 143 mit ihren Takteingängen T gemeinsam an einen das in seiner Frequenz zu teilende Taktsignal CL führenden Anschluß gelegt. Die Ausgänge Qn des jeweils letzten Flipflops der Kettenschaltungen der Frequenzteilerschaltungen 141, 142, 143 sind Eingängen eines UND-Gatters 140 zugeführt. Dieses bildet daraus gemäß einer UND-Verknüpfung das erwünschte, frequenzgeteilte Ausgangssignal und gibt dieses an einem Ausgang 144 ab. Die Schaltungsanordnung nach Fig. 24 arbeitet nach dem Prinzip des kleinsten, gemeinsamen Vielfachen der Teilverhältnisse der einzelnen Frequenzteilerschaltungen 141, 142, 143. Wie bei der Schaltungsanordnung nach Fig. 23 ergibt sich das resultierende Teilverhältnis somit aus dem Produkt der Teilverhältnisse der einzelnen Frequenzteilerschaltungen. Dabei ist jedoch darauf zu achten, daß die Teilverhältnisse der einzelnen Frequenzteilerschaltungen keine gemeinsamen Primfaktoren aufweisen, da sonst instabile Betriebszustände auftreten können.

Die gemäß Fig. 24 nach dem Prinzip des kleinsten, gemeinsamen Vielfachen aufgebauten Teilerschaltungen sind bezüglich der angestrebten Störfreiheit leichter handhabbar, da alle darin aufgenommenen Frequenzteilerschaltungen mit demselben Taktsignal betrieben und damit mit derselben Frequenz geschaltet werden. Demgegenüber wird bei den kaskadierten Teilerschaltungen gemäß Fig. 23 die jeweils nachfolgende Frequenzteilerschaltung mit einer entsprechend niedrigeren Frequenz getaktet. Durch störarme oder möglichst störfreie Auslegung der einzelnen Frequenzteilerschaltungen muß dann gewährleistet werden, daß sich nicht zu bestimmten Zeitpunkten Umschaltvorgänge aus den einzelnen Frequenzteilerschaltungen häufen. Eine kaskadierte Anordnung gemäß Fig. 23 bietet aber eine größere Flexibilität in der Auswahl der zu verwirklichenden Teilverhältnisse.

In Abwandlung der Schaltungsanordnung nach Fig. 23 kann man bei mit nicht-invertierender Rückkopplung ausgeführten Frequenzteilerschaltungen 131 bzw. 132 auf die UND-Gatter 133 bzw. 134 verzichten und statt dessen das Signal vom Ausgang Qn oder auch vom Ausgang jedes anderen Flipflops der zugehörigen Kettenschaltung unmittelbar dem Takteingang der nachfolgenden Frequenzteilerschaltung oder dem Ausgang 135 der Kaskadenschaltung zuleiten.

Die Bauformen der Kaskadierung und nach dem Prinzip des kleinsten, gemeinsamen Vielfachen können auch kombiniert werden derart, daß anstelle einer der Schaltungen 131, 132 eine Anordnung nach dem kleinsten, gemeinsamen Vielfachen eingesetzt oder umgekehrt anstelle der Schaltungen 141, 142 oder 143 eine Kaskade verwendet wird.

Die vorstehend beschriebenen Schaltungsanordnungen sind vorzugsweise verwendbar in Anordnungen mit phasenverriegelten Schleifen als sogenannte Schleifenteiler. Diese benötigen oft sehr hohe Teilverhältnisse, so daß Binärzähler bzw. -teiler herkömmlicher Bauart entsprechend starke Störungen verursachen würden. Insbesondere bei einer Verwendung in Signalverarbeitungsschaltungen aus dem Bereich der analogen Videosignalverarbeitung, die sehr empfindlich gegen Störungen sind, können dann mit der Erfindung starke Verringerungen oder sogar Auslöschungen der bisher vorhandenen Störeinflüsse erzielt werden.

# DE 42 14 612 A1

Tabelle

	OP	FF	n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
5	*	3	3	X	X	X														
	*	4	3	X	-	X	X													
10	*	5	3	X	-	-	X	X												
	*	6	3	X	-	X	-	-	X											
		6	3	X	-	-	X	-	X											
15		7	4	X	X	-	X	-	-	X										
		7	4	X	-	X	X	-	-	X										
		7	4	X	X	-	-	X	-	X										
		7	4	X	-	-	X	X	-	X										
20		7	4	X	-	X	-	-	X	X										
		7	4	X	-	-	X	-	X	X										
	*	7	4	X	-	-	-	X	X	X										
25	*	8	3	X	-	-	X	-	-	-	X									
		8	3	X	-	-	-	-	X	-	X									
		9	4	X	-	-	X	X	-	-	-	X								
		9	4	X	-	X	-	-	X	-	-	-	X							
30		9	4	X	-	-	X	-	X	-	-	-	X							
		9	4	X	-	-	X	-	-	X	-	-	X							
		9	4	X	-	-	-	-	X	X	-	-	X							
		9	4	X	-	-	X	-	-	-	X	X	X							
		9	4	X	-	-	-	X	-	-	X	X	X							
35	*	9	4	X	-	-	-	X	-	-	X	X	X							
		9	4	X	-	-	-	-	X	-	X	X	X							
		10	4	X	-	X	-	X	-	-	-	-	-	X						
		10	4	X	-	-	X	X	-	-	-	-	-	-	X					
40		10	4	X	-	X	-	-	X	-	-	-	-	-	X					
		10	4	X	-	-	X	-	X	-	-	-	-	-	X					
		10	4	X	X	-	-	-	-	X	-	-	-	-	X					
		10	4	X	-	X	-	-	-	X	-	-	-	-	X					
45		10	4	X	-	-	-	X	-	X	-	-	-	-	X					
		10	4	X	-	-	-	-	X	X	-	-	-	-	X					
		10	4	X	-	-	X	-	-	-	X	-	-	-	X					
		10	4	X	-	-	-	X	-	-	X	-	-	-	X					
50		10	4	X	-	-	-	-	X	-	X	-	-	-	X					
	*	10	4	X	-	-	-	-	-	X	-	X	-	-	X					
		10	4	X	-	-	-	-	-	X	-	X	X	-	X					

55

60

65

# DE 42 14 612 A1

OP	FF	n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
	11	4	X	-	X	-	-	X	-	-	-	-	X						
	11	4	X	-	-	X	-	X	-	-	-	-	X						
	11	4	X	-	-	-	X	X	-	-	-	-	X						5
	11	4	X	-	-	X	-	-	X	-	-	-	X						
	11	4	X	X	-	-	-	-	-	X	-	-	X						
	11	4	X	-	X	-	-	-	-	X	-	-	X						
	11	4	X	-	-	X	-	-	-	X	-	-	X						10
	11	4	X	-	-	-	-	X	-	X	-	-	X						
	11	4	X	-	-	-	-	-	X	X	-	-	X						
	11	4	X	-	-	-	-	X	-	-	X	-	X						
	11	4	X	-	-	-	-	-	-	X	X	-	X						15
	11	4	X	-	-	-	X	-	-	-	-	X	X						
*	11	4	X	-	-	-	-	-	-	X	-	-	X	X					
	12	4	X	-	X	-	-	X	-	-	-	-	-	X					20
	12	4	X	-	-	X	-	X	-	-	-	-	-	X					
	12	4	X	-	-	-	X	X	-	-	-	-	-	X					
	12	4	X	-	X	-	-	-	X	-	-	-	-	X					
	12	4	X	-	-	X	-	-	X	-	-	-	-	X					25
	12	4	X	-	-	-	X	-	X	-	-	-	-	X					
	12	4	X	-	X	-	-	-	-	X	-	-	-	X					
	12	4	X	-	-	X	-	-	-	X	-	-	-	X					
	12	4	X	-	-	-	-	X	-	X	-	-	-	X					30
	12	4	X	-	-	-	-	-	X	-	X	-	-	X					
	12	4	X	-	-	-	-	-	-	X	X	-	-	X					
	12	4	X	-	-	-	X	-	-	-	-	X	-	X					35
	12	4	X	-	-	-	-	X	-	-	-	X	-	X					
	12	4	X	-	-	-	-	-	X	-	-	X	-	X					
*	12	4	X	-	-	-	-	-	-	X	-	-	X	X					
	13	5	X	X	-	X	-	-	X	-	-	-	-	-	X				40
	13	5	X	-	X	X	-	-	X	-	-	-	-	-	X				
	13	5	X	X	-	-	X	-	X	-	-	-	-	-	X				
	13	5	X	-	-	X	X	-	X	-	-	-	-	-	X				
	13	4	X	-	-	-	-	X	X	-	-	-	-	-	X				45
	13	4	X	-	-	X	-	-	-	X	-	-	-	-	X				
	13	4	X	-	-	-	X	-	-	X	-	-	-	-	X				
	13	4	X	-	-	-	-	X	-	X	-	-	-	-	X				
	13	4	X	-	-	X	-	-	-	-	X	-	-	-	X				50
	13	4	X	-	-	-	-	-	-	X	-	X	-	-	X				
	13	4	X	-	-	-	-	X	-	-	-	-	X	-	X				
*	13	4	X	-	-	-	-	-	X	-	-	-	-	X	X				
	13	4	X	-	-	-	-	X	-	-	-	-	-	X	X				55
	13	4	X	-	-	-	-	-	-	-	X	-	-	X	X				

## DE 42 14 612 A1

	OP	FF	n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
5		14	4	X	-	-	X	-	-	X	-	-	-	-	-	-	X			
		14	4	X	-	-	-	X	-	X	-	-	-	-	-	-	X			
		14	4	X	-	-	-	-	X	X	-	-	-	-	-	-	X			
		14	4	X	-	-	X	-	-	-	X	-	-	-	-	-	X			
		14	4	X	-	-	-	X	-	-	X	-	-	-	-	-	X			
		14	4	X	-	-	-	-	X	-	X	-	-	-	-	-	X			
10		14	4	X	-	-	X	-	-	-	-	X	-	-	-	-	X			
		14	4	X	-	X	-	-	-	-	-	-	X	-	-	-	X			
		14	4	X	-	-	X	-	-	-	-	-	X	-	-	-	X			
		14	4	X	-	-	-	-	-	X	-	-	X	-	-	-	X			
15		14	4	X	-	-	-	-	-	-	X	-	X	-	-	-	X			
		14	4	X	-	-	-	-	X	-	-	-	-	X	-	-	X			
		14	4	X	-	-	-	-	-	X	-	-	-	X	-	-	X			
		14	4	X	-	-	-	-	-	-	-	X	-	X	-	-	X			
20		14	4	X	-	-	-	-	-	-	-	-	X	X	-	-	X			
		14	4	X	-	-	-	-	X	-	-	-	-	-	X	-	X			
		14	4	X	-	-	-	-	-	X	-	-	-	-	X	-	X			
		14	4	X	-	-	-	-	-	-	X	-	-	-	X	-	X			
25	*	14	4	X	-	-	-	-	-	-	-	X	-	-	X	-	X			
		14	4	X	-	-	-	-	-	-	-	-	X	-	X	-	X			
		15	4	X	-	-	X	-	-	-	X	-	-	-	-	-	-	X		
		15	4	X	-	-	-	-	X	-	X	-	-	-	-	-	-	X		
30		15	4	X	-	-	X	-	-	-	-	X	-	-	-	-	-	X		
		15	4	X	-	-	-	-	X	-	-	-	X	-	-	-	-	X		
		15	4	X	-	-	X	-	-	-	-	-	X	-	-	-	-	X		
		15	4	X	-	-	-	X	-	-	-	-	X	-	-	-	-	X		
35	*	15	4	X	-	-	-	-	X	-	-	-	-	-	X	-	-	X		
		15	4	X	-	-	-	-	-	X	-	-	-	-	X	-	-	X		
		15	4	X	-	-	-	-	-	-	-	X	-	-	X	-	-	X		
		15	4	X	-	-	-	-	-	-	-	-	X	-	X	-	-	X		
40		15	4	X	-	-	-	-	-	-	-	-	X	-	-	X	-	X		
		16	4	X	-	-	X	-	-	-	X	-	-	-	-	-	-	-	X	
		16	4	X	-	-	-	X	-	-	X	-	-	-	-	-	-	-	X	
45		16	4	X	-	-	-	-	X	-	X	-	-	-	-	-	-	-	X	
		16	4	X	-	-	X	-	-	-	-	X	-	-	-	-	-	-	X	
		16	4	X	-	-	-	-	X	-	-	X	-	-	-	-	-	-	X	
		16	4	X	-	-	-	-	-	X	-	X	-	-	-	-	-	-	X	
50		16	4	X	-	-	-	X	-	-	-	-	X	-	-	-	-	-	X	
		16	4	X	-	-	-	-	X	-	-	-	X	-	-	-	-	-	X	
		16	4	X	-	-	X	-	-	-	-	-	-	X	-	-	-	-	X	
55	*	16	4	X	-	-	-	-	-	-	X	-	-	X	-	-	-	-	X	
		16	4	X	-	-	-	-	-	-	X	-	-	X	-	-	-	-	X	
		16	4	X	-	-	-	-	-	-	-	-	X	-	X	-	-	-	X	
		16	4	X	-	-	-	-	-	-	X	-	-	-	-	X	-	-	X	
60		16	4	X	-	-	-	-	-	X	-	-	-	-	-	-	X	-	X	
		16	4	X	-	-	-	-	-	-	-	-	X	-	-	-	X	-	X	
		16	4	X	-	-	-	-	-	-	-	-	-	X	-	-	X	-	X	

65

# DE 42 14 612 A1

OP	FF	n	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
	17	5	X	-	-	X	-	-	-	X	-	-	-	-	-	-	-	X	X	
	17	5	X	-	-	-	X	-	-	X	-	-	-	-	-	-	-	X	X	5
	17	5	X	-	-	-	-	X	-	X	-	-	-	-	-	-	-	X	X	
	17	5	X	-	-	-	-	-	X	X	-	-	-	-	-	-	-	X	X	
	17	5	X	-	-	X	-	-	-	-	X	-	-	-	-	-	-	X	X	
	17	5	X	-	-	-	X	-	-	-	X	-	-	-	-	-	-	X	X	
	17	5	X	-	-	-	-	X	-	-	X	-	-	-	-	-	-	X	X	10
	17	5	X	-	-	-	-	-	X	-	X	-	-	-	-	-	-	X	X	
	17	5	X	-	-	X	-	-	-	-	-	X	-	-	-	-	-	X	X	
	17	5	X	-	-	-	X	-	-	-	-	X	-	-	-	-	-	X	X	
	17	5	X	-	-	-	-	X	-	-	-	X	-	-	-	-	-	X	X	15
	17	5	X	-	-	-	-	-	X	-	-	X	-	-	-	-	-	X	X	
	17	5	X	-	-	X	-	-	-	-	-	-	X	-	-	-	-	X	X	
	17	5	X	-	-	-	X	-	-	X	-	-	X	-	-	-	-	X	X	
	17	5	X	-	-	-	-	-	-	X	-	-	X	-	-	-	-	X	X	20
	17	5	X	-	X	-	-	-	-	-	-	-	-	X	-	-	-	X	X	
	17	5	X	-	-	X	-	-	-	-	-	-	-	X	-	-	-	X	X	
	17	5	X	-	-	-	X	-	-	-	-	-	-	X	-	-	-	X	X	
	17	5	X	-	-	-	-	-	-	X	-	-	-	X	-	-	-	X	X	25
	17	5	X	-	-	-	-	-	-	-	X	-	-	X	-	-	-	X	X	
	17	5	X	-	-	-	-	-	X	-	-	-	-	-	X	-	-	X	X	
	17	5	X	-	-	-	-	-	-	X	-	-	-	-	X	-	-	X	X	
	17	5	X	-	-	-	-	-	-	-	X	-	-	-	X	-	-	X	X	30
	17	5	X	-	-	-	-	-	-	-	-	X	-	-	X	-	-	X	X	
	17	5	X	-	-	-	-	-	-	-	-	-	X	-	X	-	-	X	X	
	17	5	X	-	-	-	-	-	-	-	-	-	-	X	X	-	-	X	X	
	17	5	X	-	-	-	-	-	X	-	-	-	-	-	-	X	-	X	X	35
	17	5	X	-	-	-	-	-	-	X	-	-	-	-	-	X	-	X	X	
	17	5	X	-	-	-	-	-	-	-	X	-	-	-	-	X	-	X	X	
	17	5	X	-	-	-	-	-	-	-	-	X	-	-	-	X	-	X	X	
	17	5	X	-	-	-	-	-	-	-	-	-	X	-	-	X	-	X	X	40
*	17	5	X	-	-	-	-	-	-	-	-	-	X	-	-	-	X	X	X	
	17	5	X	-	-	-	-	-	-	-	-	-	-	X	-	-	X	X	X	

## Patentansprüche

1. Frequenzteilerschaltung mit einer Gesamtanzahl (FF) bezüglich ihrer Datenein- und -ausgänge in Kettenschaltung angeordneter Flipflops (11, ..., 16) sowie einer Logikschaltung (20, 30, ...) zur Beeinflussung eines einem ersten (11) in der Kettenschaltung der Flipflops (11, ..., 16) zugeführten Eingangssignals in Abhängigkeit von Ausgangssignalen der Flipflops (11, ..., 16), wobei die Flipflops (11, ..., 16) gemeinsam getaktet werden, **dadurch gekennzeichnet**, daß der Logikschaltung (20, 30, ...) Ausgangssignale einer aus der Gesamtanzahl (FF) der Flipflops (11, ..., 16) ausgewählten Anzahl (n) von Flipflops, die größer oder gleich dem um 1 erhöhten, auf eine ganze Zahl abgerundeten dualen Logarithmus der um 1 verminderten Gesamtanzahl (FF) ist, zugeführt und in der Logikschaltung zu einem Eingangssignal für das erste Flipflop der Kettenschaltung entweder nach Maßgabe einer NICHT-ODER-Funktion oder gemäß einer Äquivalenzfunktion, deren Resultat über eine Antivalenzfunktion mit dem Ausgangssignal eines der Flipflops (11, ..., 16) kombiniert ist, verknüpft werden.

2. Frequenzteilerschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die ausgewählte Anzahl (n) der Flipflops das erste (11, ...) und das letzte Flipflop (16, ...) der Kettenschaltung enthält.

3. Frequenzteilerschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Flipflops (11, ..., 16) als D-Flipflops ausgebildet sind.

4. Frequenzteilerschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die ausgewählte Anzahl (n) bezüglich der Gesamtanzahl (FF) der Flipflops sowie die Anordnung der zur ausgewählten Anzahl (n) gehörenden Flipflops in der Kettenschaltung gemäß der TABELLE bestimmt ist.

5. Frequenzteilerschaltung nach Anspruch 4, dadurch gekennzeichnet, daß die ausgewählte Anzahl (n) bezüglich der Gesamtanzahl (FF) der Flipflops sowie die Anordnung der zur ausgewählten Anzahl (n) gehörenden Flipflops in der Kettenschaltung gemäß der durch einen Stern in der mit "OP" bezeichneten Spalte der TABELLE hervorgehobenen Zeilen der TABELLE bestimmt ist.

6. Frequenzteilerschaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine Ver-

wendung in einer Schaltungsanordnung, in der wenigstens zwei dieser Frequenzteilerschaltungen (131, 132) miteinander in Kaskade angeordnet sind, in der aus einem Ausgangssignal einer vorhergehenden Frequenzteilerschaltung (131) ein Taktsignal (über 133) für eine nachfolgende Frequenzteilerschaltung (132) abgeleitet wird.

5 7. Frequenzteilerschaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine Verwendung in einer Schaltungsanordnung, in der wenigstens zwei dieser Frequenzteilerschaltungen (141, 142, 143) bzw. Kaskaden dieser Schaltungen ein gemeinsames Taktsignal (CL) zugeleitet wird und daß aus ihren Ausgangssignalen (an Qn) über eine UND-Verknüpfung ein resultierendes Ausgangssignal (an 144) gewonnen wird.

10 8. Frequenzteilerschaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine Verwendung in Anordnungen mit phasenverriegelten Schleifen.

9. Frequenzteilerschaltung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine Verwendung in Anordnungen zur Videosignalverarbeitung.

15 Hierzu 8 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

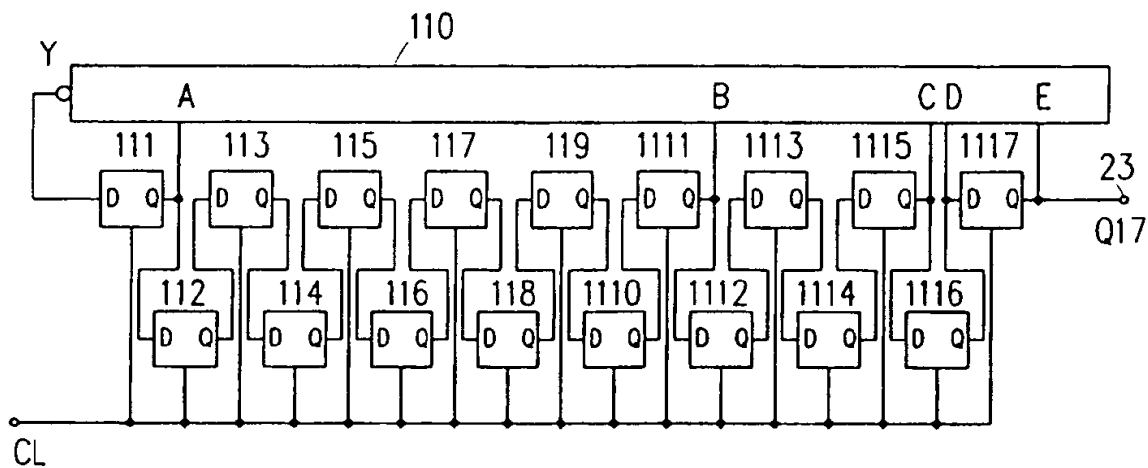


Fig. 18

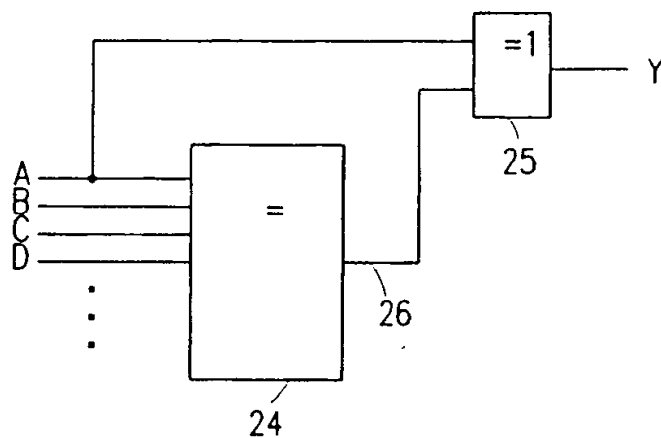


Fig. 19

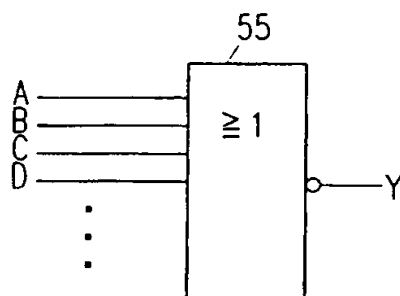


Fig. 20



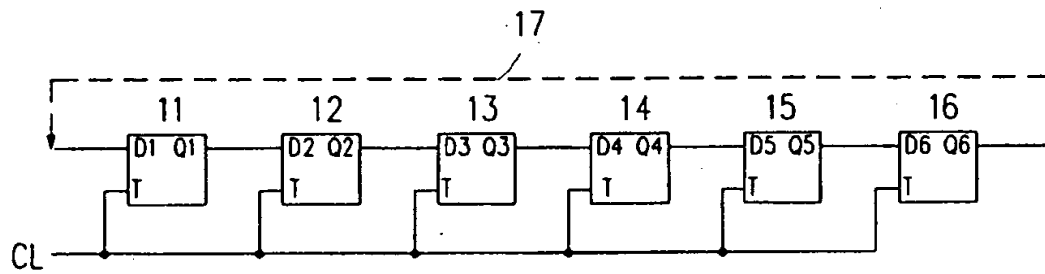


Fig. 1

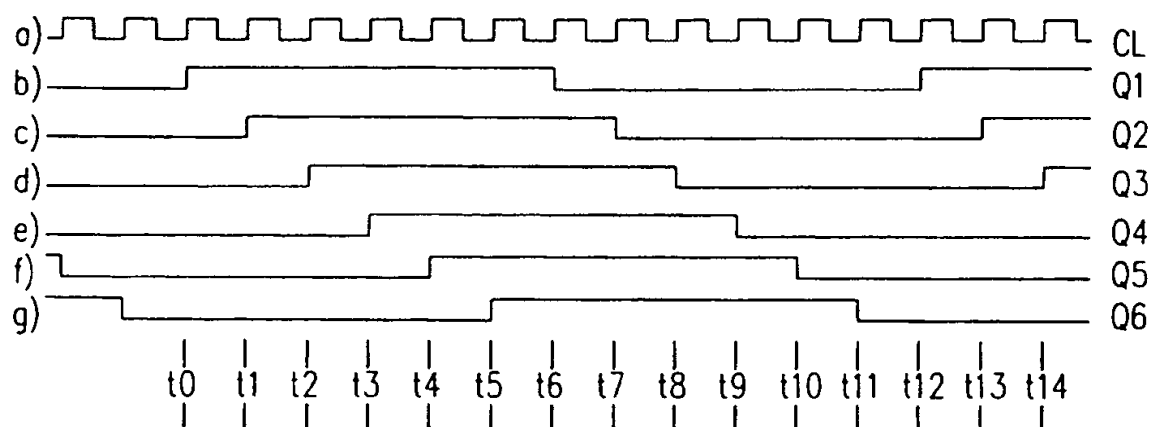


Fig. 2

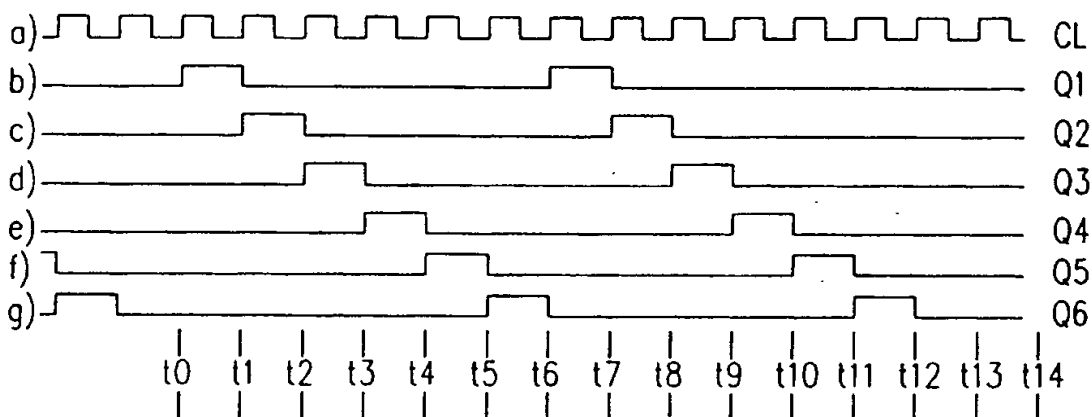


Fig. 3

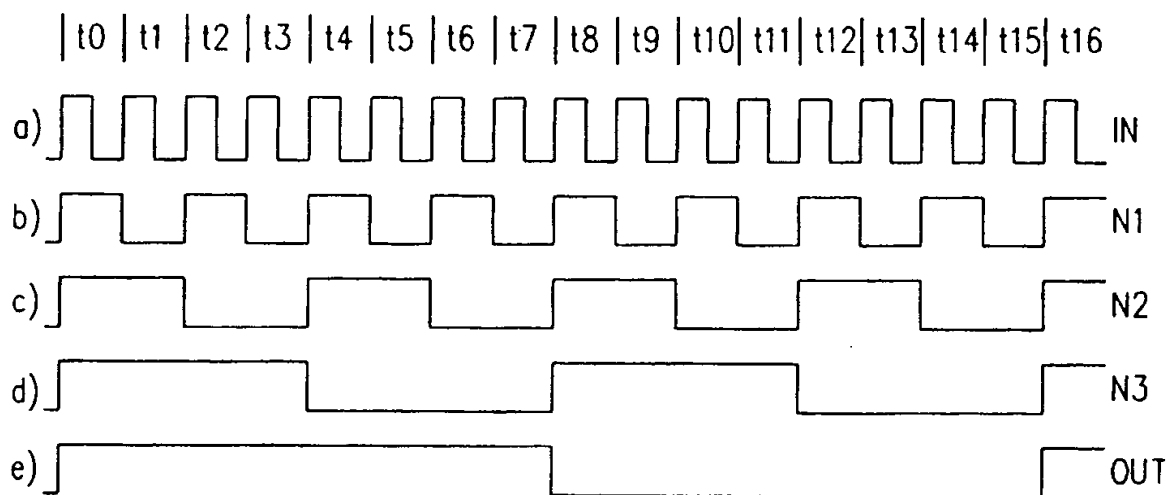


Fig. 4

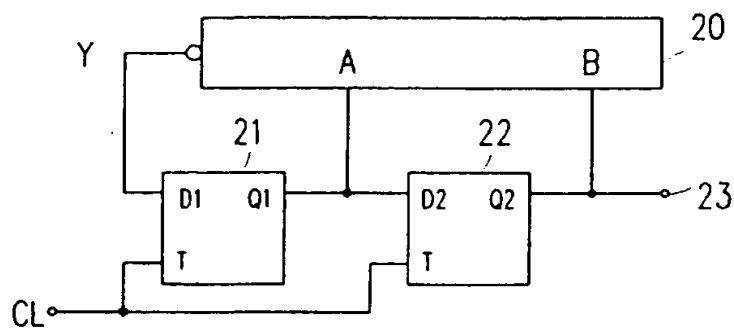


Fig. 5

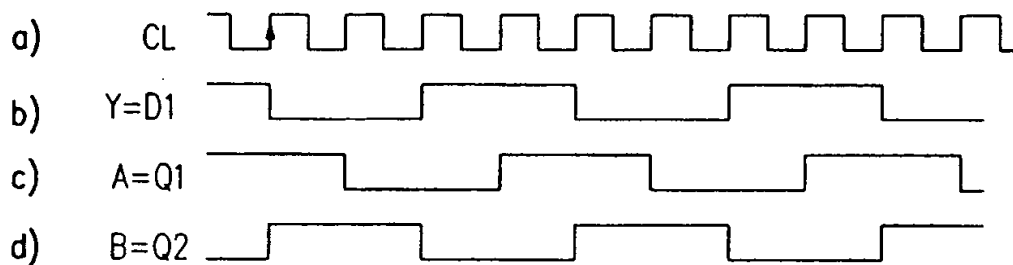


Fig. 6

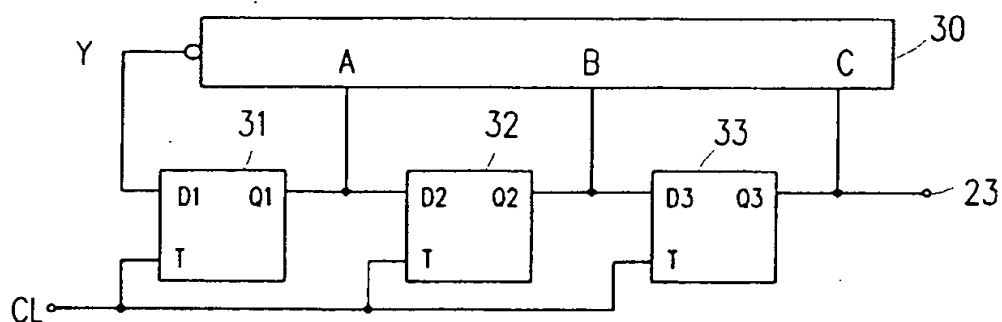


Fig. 7

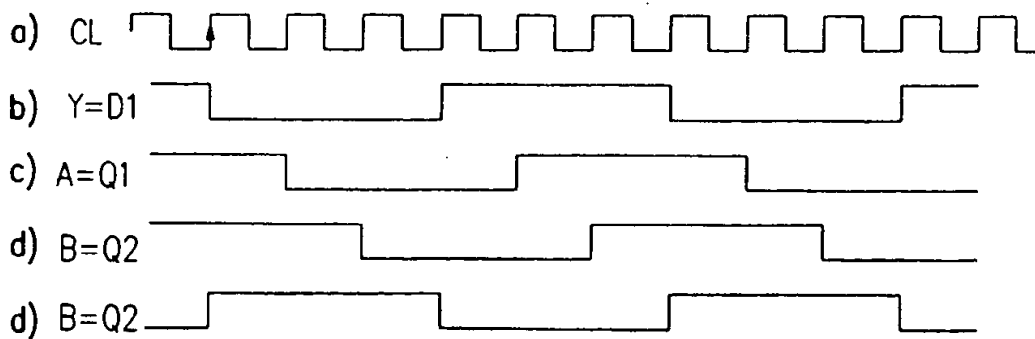


Fig. 8

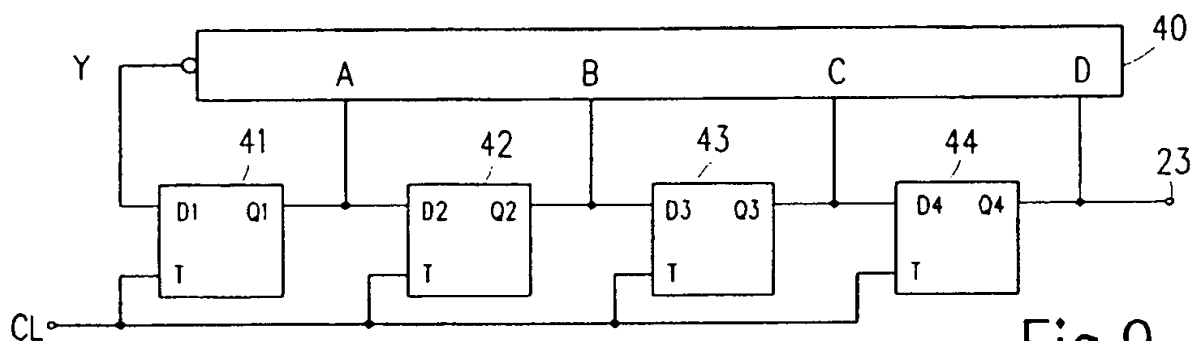


Fig. 9

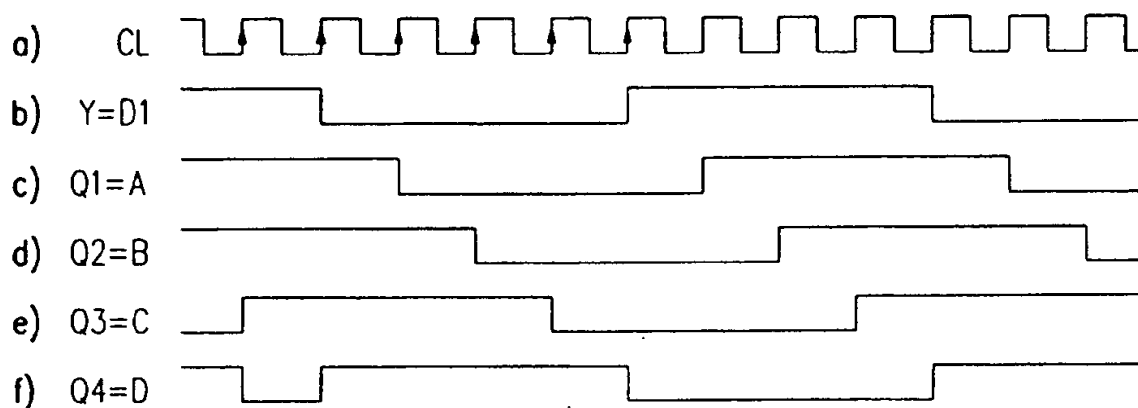


Fig. 10

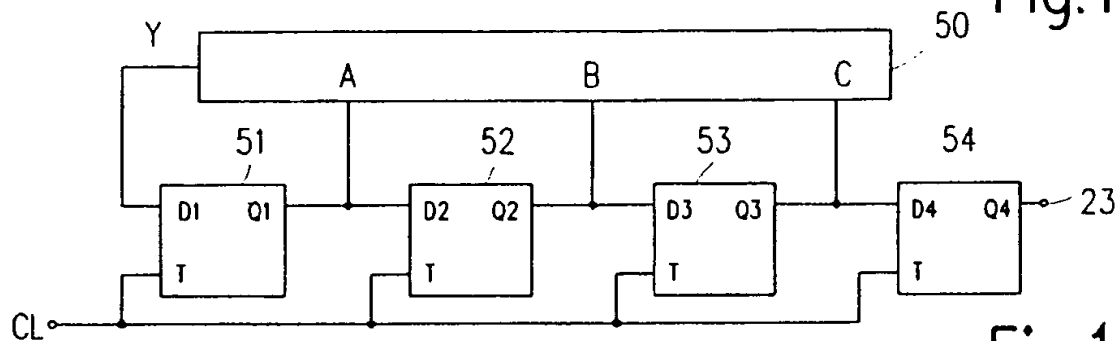


Fig. 11

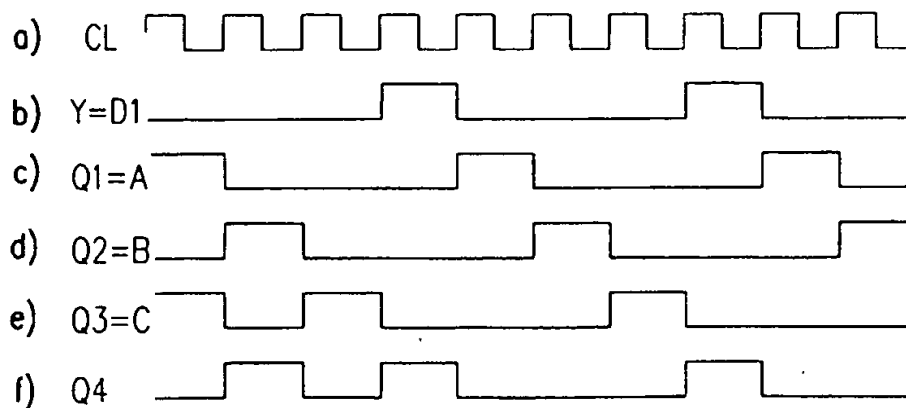


Fig. 12

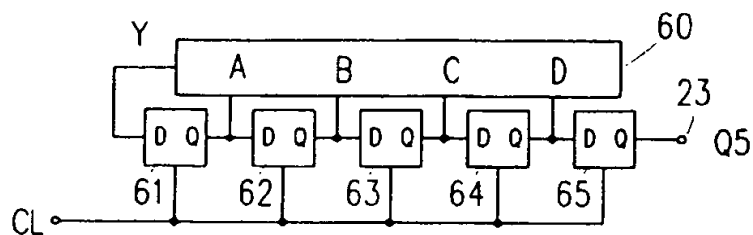


Fig. 13

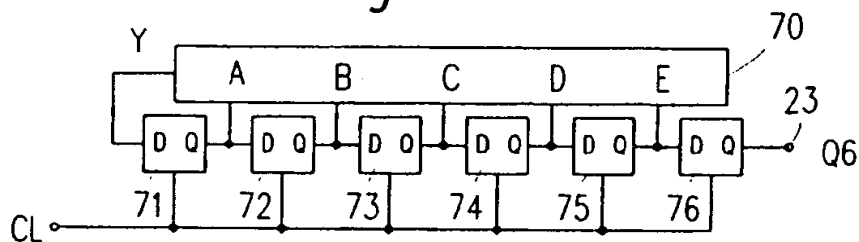


Fig. 14

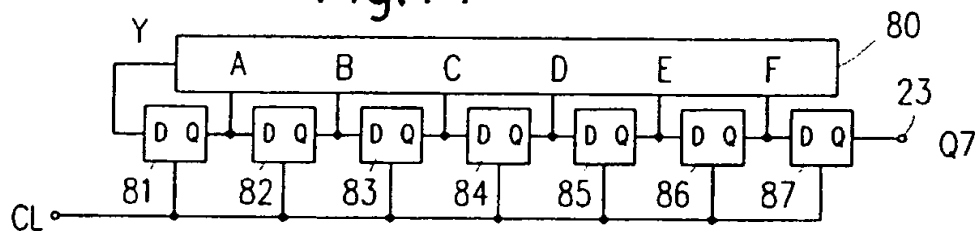


Fig. 15

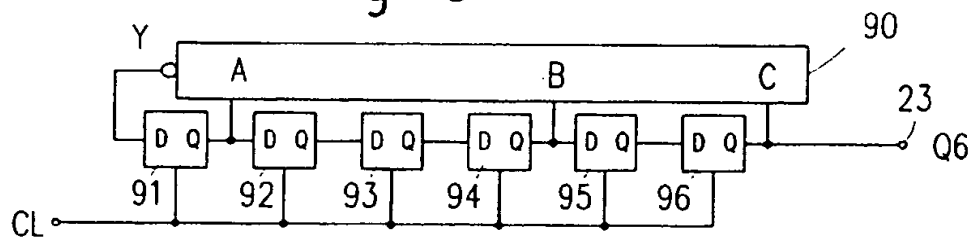


Fig. 16

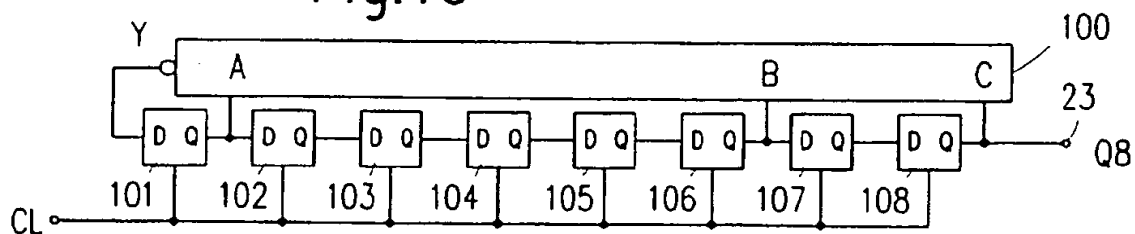


Fig. 17

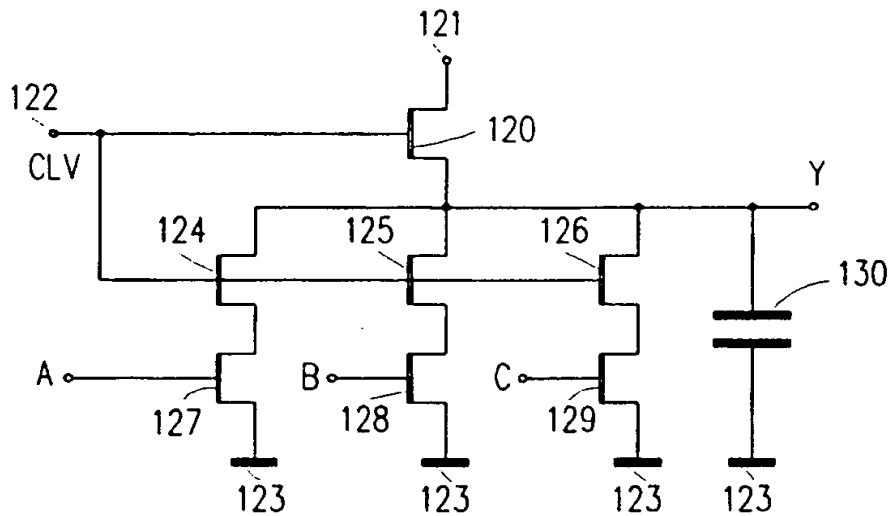


Fig.21

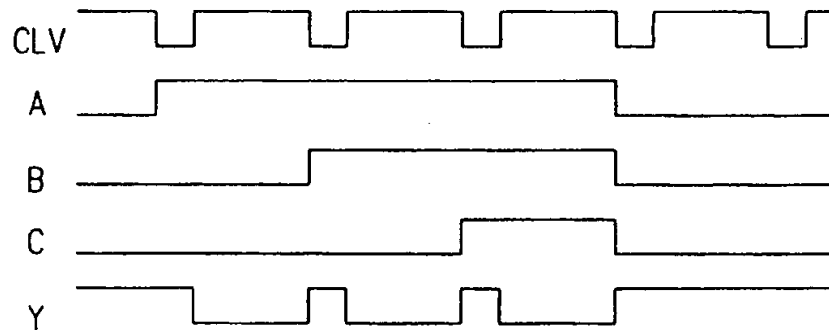


Fig.22

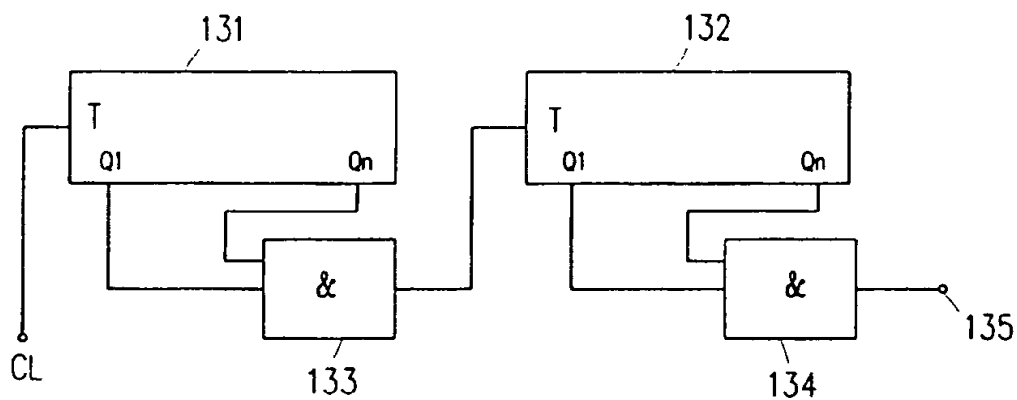


Fig. 23

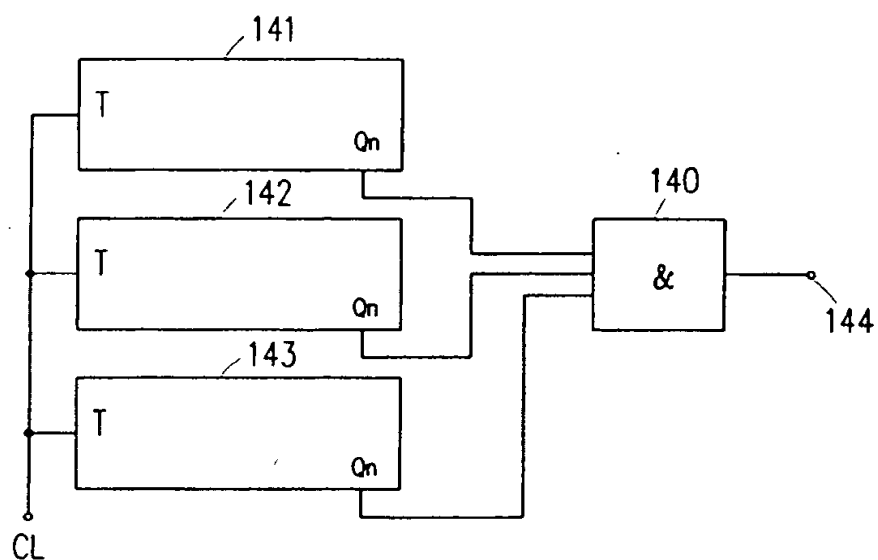


Fig. 24